

Plataforma de medição de potências embarcada em FPGA, baseada no padrão IEEE 1459-2010

Luis De Oro Arenas¹, Guilherme A. e Melo², Carlos A. Canesin³

Universidade Estadual Paulista - UNESP - Dpto. Engenharia Elétrica - Laboratório de Eletrônica de Potência

Ilha Solteira, São Paulo, Brasil

e-mail: ldeoroa@gmail.com¹, guiamelo@gmail.com², canesin@dee.feis.unesp.br³

Resumo—Neste artigo é apresentada a implementação de uma plataforma de medição de energia elétrica baseada no padrão IEEE 1459-2010 e embarcada em um dispositivo FPGA. Todos os módulos sintetizados no dispositivo lógico programável encontram-se totalmente desenvolvidos em uma linguagem de descrição de hardware, permitindo dessa forma o controle sobre todas as variáveis que interagem dentro do sistema. A metodologia implementada atende as especificações de janelamento estabelecidas pela norma IEC 61000-4-30:2011, para o cálculo das variáveis elétricas de interesse. Por fim, é apresentada a estrutura completa do hardware descrito no FPGA, assim como, uma plataforma de testes desenvolvida para a aquisição dos sinais de tensões e correntes do sistema trifásico.

Palavras chaves – Qualidade de Energia Elétrica; Medição de Energias Elétricas; IEEE 1459-2010; FPGA.

I. INTRODUÇÃO

O conceito de redes inteligentes (*Smart-Grids*) é uma das temáticas atuais mais relevantes na área de qualidade da energia elétrica, onde são incorporadas tecnologias digitais de medição avançada para a obtenção de informações do fluxo de energia em tempo real, procurando garantir o atendimento das necessidades de monitoramento e diagnóstico do sistema elétrico [1].

Portanto, uma das condições dos equipamentos de medição de energias elétricas envolve o cálculo preciso das variáveis associadas ao fluxo destas energias em tempo real e, ao mesmo tempo, incorporando metodologias de medição que permitem correlacionar os fenômenos físicos decorrentes das cargas não lineares presentes no sistema [2].

Múltiplos trabalhos atestam a eficácia da metodologia proposta pelo padrão IEEE 1459-2010, aplicada em sistemas trifásicos de energia elétrica, sob condições de desequilíbrio, desbalanço, assimetria nos ângulos de defasagem e presença de componentes harmônicas nas correntes impostas pelas cargas não lineares [3]–[5]. Entretanto, a maioria dos estudos de estimação de parâmetros de qualidade de energia é apresentada em ambientes de simulação ou implementada em sistemas de medição virtual, onde os sinais de tensão e corrente são disponibilizados à computadores (PCs) que empregam plataformas e/ou ambientes de aquisição de dados (LabView, DSpace, MatLab, Simulink, etc.) [6]–[8].

No entanto, apesar de existirem propostas de implementação de sistemas de medição de energias elétricas que empregam microprocessadores (MCUs) e/ou processadores digitais de sinais (DSPs) [9]–[11], tais dispositivos realizam os cálculos de forma sequencial, resultando em atrasos no processamento do controle de periféricos dedicados à transmissão e recepção de dados, ações de controle, desconexão e reconexão de cargas, entre outras tarefas que podem ser adicionadas em sistemas inteligentes de medição.

O emprego de dispositivo lógico programável (PLD), especificamente FPGA (Field Programmable Gate Arrays), torna-se uma solução atrativa, quando comparado a sistemas microprocessados, uma vez que possibilita o processamento paralelo, calculando as variáveis elétricas e controlando os periféricos associados ao sistema de medição de energia de forma simultânea. Adicionalmente, as implementações embarcadas em dispositivos FPGA oferecem a possibilidade de reconfiguração para todos os componentes envolvidos dentro do sistema e, dessa forma, podem ser personalizados em função do conjunto de necessidades requeridas em cada projeto [12].

Desta forma, neste artigo é apresentado o desenvolvimento de uma plataforma de medição de energia elétrica, totalmente embarcada em um dispositivo FPGA, baseada nas definições estabelecidas pelo padrão IEEE 1459-2010 para sistemas trifásicos a 4 fios, obtendo como maior contribuição a possibilidade de realizar estudos de qualidade de energia em tempo real do sistema, em função das condições das tensões por fase e das características das cargas instaladas.

II. DEFINIÇÕES DO PADRÃO IEEE 1459-2010

A proposta, baseada na norma IEEE 1459-2010, adota a definição de que um sistema trifásico desbalanceado pode ser modelado como um circuito ideal balanceado com perdas equivalentes [13]. Assim, uma tensão e uma corrente equivalente, podem ser determinadas para o cálculo da potência aparente fornecida à carga conectada ao sistema.

No caso de sistemas trifásicos a quatro fios, com sinais puramente senoidais, é definida uma tensão eficaz e uma corrente eficaz equivalente do sistema, como segue, em (2) e (1), respectivamente [13].

$$I_e = \sqrt{\frac{1}{3} (I_a^2 + I_b^2 + I_c^2 + I_n^2)} \quad (1)$$

$$V_e = \sqrt{\frac{1}{18} [3(V_a^2 + V_b^2 + V_c^2) + V_{ab}^2 + V_{bc}^2 + V_{ca}^2]} \quad (2)$$

Sendo V_a, V_b, V_c as tensões eficazes por fase, e V_{ab}, V_{bc}, V_{ca} as tensões eficazes de linha. I_a, I_b, I_c e I_n as correntes eficazes por fase. Logo, define-se a potência aparente em (3).

$$S_e = 3V_e I_e \quad (3)$$

A potência ativa corresponde ao valor médio da soma das potências instantâneas por fase.

$$P = \frac{1}{kT} \int_{\tau}^{\tau+kT} (v_a i_a + v_b i_b + v_c i_c) dt \quad (4)$$

Sendo T o período de integração, e k um número inteiro correspondente ao número de ciclos de integração. A componente não ativa da potência é definida em (5).

$$N^2 = S_e^2 - P^2 \quad (5)$$

No caso de condições não senoidais, a tensão e a corrente são divididas em parcelas, fundamental (V_{e1} , I_{e1}) e harmônicas (V_{eH} , I_{eH}), definidas em (6) e (7) respectivamente.

$$V_e^2 = V_{e1}^2 + V_{eH}^2 \quad (6)$$

$$I_e^2 = I_{e1}^2 + I_{eH}^2 \quad (7)$$

Sendo:

$$V_{e1} = \sqrt{\frac{1}{18} [3(V_{a1}^2 + V_{b1}^2 + V_{c1}^2) + V_{ab1}^2 + V_{bc1}^2 + V_{ca1}^2]} \quad (8)$$

$$I_{e1} = \sqrt{\frac{1}{3} (I_{a1}^2 + I_{b1}^2 + I_{c1}^2 + I_{n1}^2)} \quad (9)$$

Portanto, em situações não senoidais, a potência aparente pode ser reescrita como em (10).

$$S_e^2 = S_{e1}^2 + S_{eN}^2 \quad (10)$$

Sendo S_{e1} a potência aparente resultante das componentes fundamentais, e S_{eN} a potência não fundamental efetiva que associa as componentes da potência de distorção de corrente (D_{eI}), potência de distorção de tensão (D_{eV}) e a potência aparente harmônica (S_{eH}) [13].

$$S_{eN}^2 = D_{eI}^2 + D_{eV}^2 + S_{eH}^2 \quad (11)$$

Tal que:

$$D_{eI} = 3V_{e1}I_{eH} \quad (12)$$

$$D_{eV} = 3V_{eH}I_{e1} \quad (13)$$

$$S_{eH} = 3V_{eH}I_{eH} \quad (14)$$

Adicionalmente é definida a potência aparente fundamental de desequilíbrio (S_{U1}) em (15).

$$S_{U1} = \sqrt{S_{e1}^2 - (S_1^+)^2} \quad (15)$$

Sendo S_{1+} a potência aparente fundamental de sequência positiva, dada por (16). Onde P_1^+ e Q_1^+ são as potências ativa e reativa de sequência positiva, respectivamente. E φ_1^+ o ângulo de deslocamento entre o sinais de tensão V_1^+ e corrente I_1^+ .

$$S_1^+ = \sqrt{(P_1^+)^2 + (Q_1^+)^2} \quad (16)$$

$$P_1^+ = 3V_1^+ I_1^+ \cos(\varphi_1^+) \quad (17)$$

$$Q_1^+ = 3V_1^+ I_1^+ \sin(\varphi_1^+) \quad (18)$$

Por fim, são definidos os fatores de potência total, fundamental e fundamental de sequência positiva, como segue em (19), (20) e (21) respectivamente.

$$PF = \frac{P}{S_e} \quad (19)$$

$$PF_1 = \frac{P_1}{S_{e1}} \quad (20)$$

$$PF_1^+ = \frac{P_1^+}{S_1^+} \quad (21)$$

A maior vantagem deste padrão é a decomposição da potência nas parcelas de componentes fundamentais e de sequência positiva, o que facilita a compreensão dos fenômenos físicos, assim como a medição e tarifação das potências envolvidas [14].

III. PLATAFORMA DE TESTES DESENVOLVIDA.

Com a finalidade de avaliar a teoria de potências detalhada pelo padrão IEEE 1459-2010, foi desenvolvida uma plataforma de testes para a aquisição dos sinais de tensões e correntes do sistema trifásico, compondo um protótipo de medidor de qualidade de energia elétrica, como apresentado na Fig. 1.

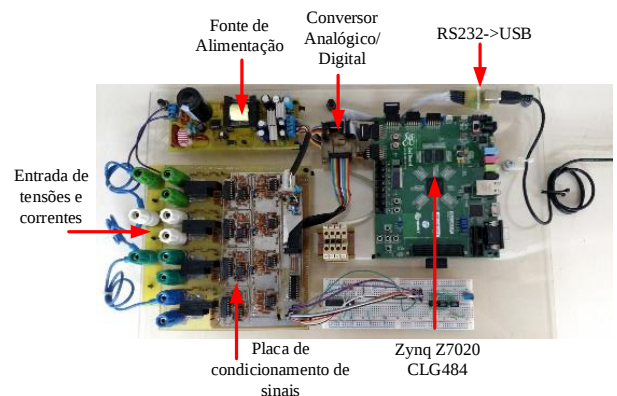


Figura 1. Plataforma de testes desenvolvida

O sistema de medição é composto por uma placa de condicionamento de sinais que permitem a adaptação dos sinais

de tensão e corrente para que sejam digitalizados pelo ADC (Analogic to Digital Converter). O FPGA recebe os valores digitalizados das correntes e tensões do sistema trifásico e aplica a metodologia proposta, utilizando processamentos paralelos de cálculo. Para a realização das leituras de tensões de cada fase, divisores resistivos de alta impedância são empregados como sensores. No caso das leituras de correntes, foram utilizados sensores de corrente N4646-X400, fabricados por Vacuumschmelze, os quais garantem alta precisão (0.1 %) e ampla largura de banda (DC até 200 kHz). Além disso, filtros ativos passa-baixa de segunda ordem, com entrada diferencial, foram adicionados ruídos de alta frequência (> 10 kHz).

Optou-se pelo ADC “ADS8528”, fabricado pela Texas Instruments, para a discretização dos sinais, uma vez que o dispositivo permite a leitura de 8 canais de 12 bits, de saída paralela, com frequências de amostragem de até 650 kSPS. O dispositivo FPGA controla o ADC de forma integral, definindo o momento de cada conversão e a frequência de amostragem.

O FPGA utilizado corresponde ao chip Zynq Z7020 – CLG484, fabricado pela Xilinx, o qual encontra-se disponível na placa de desenvolvimento Zedboard (Fig. 1). Esta família de dispositivos conta com um processador ARM Dual Core embutido no mesmo encapsulamento do FPGA, porém, este trabalho limita-se à utilização do setor lógico programável para o processamento da metodologia de cálculo das potências.

Finalmente, como ilustrado na Fig. 1, uma fonte de alimentação isolada com entrada de tensão universal (90 – 265 VAC) e tensões de saída reguladas de +15 VDC, -15 VDC e +5VDC, foi desenvolvida para alimentação dos circuitos de condicionamento de sinal, do ADC e dos circuitos auxiliares. Adicionalmente, as variáveis calculadas são disponibilizadas ao usuário via comunicação serial, através do CI FT232RL, que se trata de um conversor bidirecional USB/RS232, fabricado pela FTDI. Esses dados são coletados por um PC, devidamente preparado com uma rotina no software MATLAB, que apresenta os resultados através de uma interface gráfica.

IV. PROPOSTA DE IMPLEMENTAÇÃO DO PADRÃO IEEE 1459-2010.

Com o desenvolvimento do hardware do protótipo da plataforma de medição de energia elétrica, apresentado na Fig. 1, foi definida a estrutura dos módulos implementados na pastilha do FPGA, em linguagem de hardware. O RTL (Register-transfer level) dos blocos implementados é apresentado na Fig. 2.

Nota-se que o dispositivo FPGA possui, como sinais de entrada, os sinais de saída do ADC (**dado_in[15:0]**, **busy**), o sinal **Rx** de comunicação serial com o PC, o clock (**clk**) e o reset geral do sistema (**reset**). Os sinais de saída do dispositivo são compostos apenas pelos sinais de controle do ADC (**convst**, **nRD** e **nCS**) e pelo sinal de transmissão de dados do protocolo de comunicação RS232 (**Tx**).

A. Divisor de frequência, controlador do ADC (ADS8528) e *buffer_ram*.

Como a frequência do oscilador da placa de desenvolvimento Zedboard é de 100MHz, torna-se necessária a descrição de um módulo gerador de frequência auxiliar para o controle de aquisição dos sinais, denominado **clk_Am**, que se refere à frequência de amostragem definida. Neste caso, foi adotada uma frequência de amostragem de 15,360 kHz ($T_s \approx 65, 1045 \mu s$), equivalente a 256 amostras por período.

Dessa forma, em cada borda de subida do **clk_Am**, o controlador do ADS8528 aquisita simultaneamente os oito canais analógicos através do buffer **dado_in[15:0]**. Logo, os oito sinais discretizados, **ch_x[11:0]** ($x=1..8$), são disponibilizados ao módulo *buffer_ram* (multi_canal). O módulo *buffer_ram* armazena os sinais, discretizados pelo ADC, em blocos de memória RAM disponíveis no dispositivo FPGA, o que ocorre durante todo o período de integração. Destaca-se que são implementados dois buffers por canal de medição, assim, enquanto um está sendo preenchido com os dados de determinado período de integração, o outro estará sendo lido pela unidade de cálculo de potências. Para tanto, são utilizadas duas portas de leitura e escritura independentes, gravando em blocos separados da memória RAM. Entretanto, observa-se na Fig. 2 que o sinal de clock para escritura de dados corresponde ao sinal **ADC_rdy**, o qual é uma réplica do sinal **clk_Am**, entretanto, defasado de 100 ns do sinal original. Já a leitura dos buffers é definida pelo sinal **clk_rd**, cuja frequência é definida pelo tempo de processamento da máquina de estados, implementada dentro do módulo que incorpora o padrão IEEE 1459-2010.

B. Módulo de sincronismo e cálculo de frequência

O módulo de sincronismo implementado utiliza como método um algoritmo de PLL baseado no Integrador Generalizado de Segunda Ordem SOGI (*Second Order Generalized Integrator*), o qual apresenta excelente desempenho quando o sistema se encontra sob condições de distorção, elevação de tensão, afundamentos e interrupções ($3 \sim 4$ ciclos de rede) [15].

Deste modo, o sinal **ch_1[11:0]** torna-se referência de sincronismo, o qual corresponde à tensão na fase A do sistema. Além disso, vê-se que o sinal **ADC_rdy** também impõe a frequência de amostragem para o bloco de sincronismo, cujo sinal de saída é denominado **flag_cycle**, o qual é ativado toda vez que um ciclo de rede é completado. Assim, através do módulo de cálculo de frequência é feita a contagem de ciclos completos, determinando sua duração, o que é avaliado durante um período de 10s, armazenado na variável **wrede[31:0]**, conforme à norma NBR-IEC-61000-4-30 [16].

Outra finalidade do sinal **flag_cycle** consiste em permitir que o bloco *buffer_ram* defina a janela para o período de integração ($T_{int} = 200$ ms), assim, quando 10/12 ciclos (50Hz/60Hz) são completados, o sinal **start_cálculos** é ativado e o bloco *Cálculos_IEEE_1459-2010* executa as tarefas de cálculo.

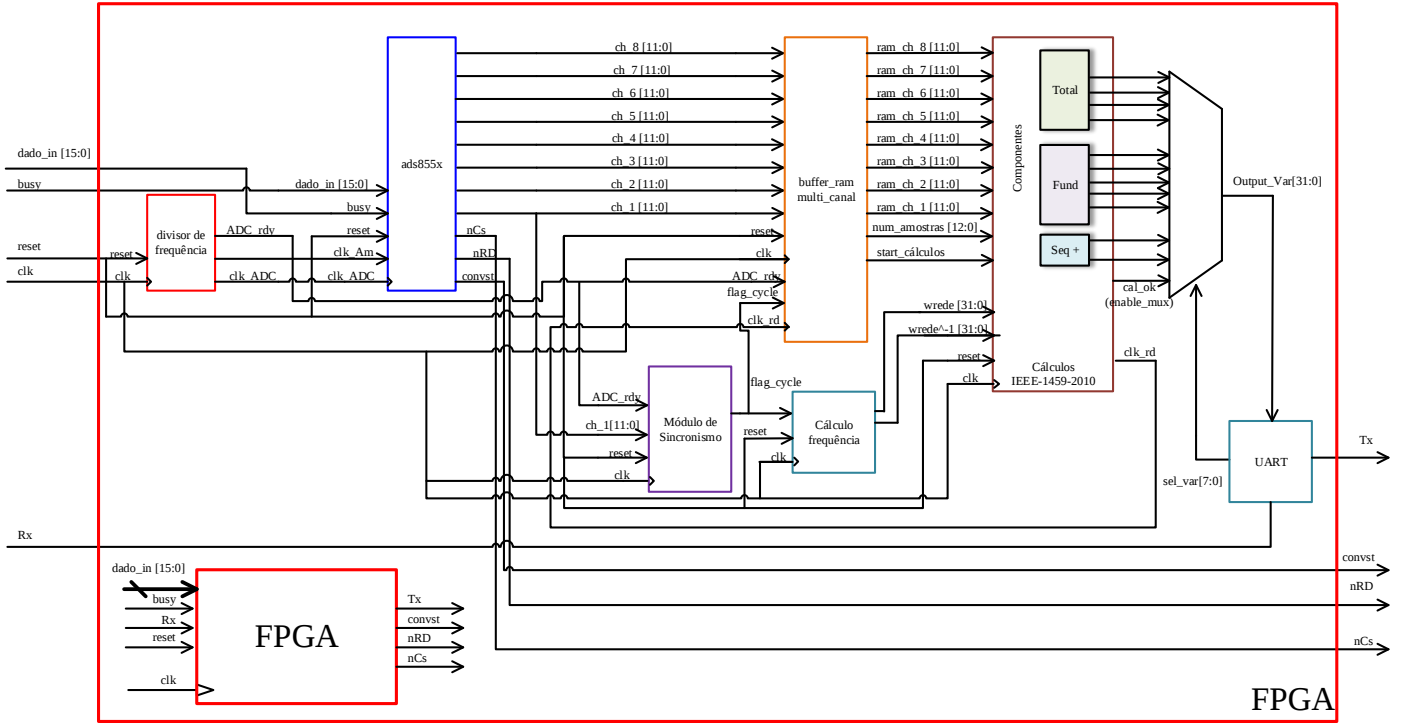


Figura 2. RTL dos blocos implementados no dispositivo FPGA.

C. Módulo Cálculos IEEE 1459-2010.

Quando o sinal **start_cálculo** é ativado, os sinais **ram_ch_x[11:0]** ($x = 1 \dots 8$), **num_amostras[12:0]**, **wrede[31:0]** e **wrede[31:0]-1** são aquisitados. Inicialmente, procedimentos para a extração da componente fundamental e da componente fundamental em sequência positiva, dos sinais de tensão e corrente, são aplicados.

Para a extração das componentes fundamentais aplica-se um filtro Notch Adaptativo, como descrito em [17], o qual apenas suprime a componente fundamental do sinal e desta forma um sinal $x[n]_H$ é obtido. Seguidamente esse sinal, $x[n]_H$, é subtraído do sinal original, $x[n]$, e um sinal correspondente à componente fundamental $x[n]_1$ é conseguido.

Em seguida, empregando a metodologia apresentada em [4], as componentes fundamentais em sequência positiva são calculadas, empregando deslocadores de fase adaptativos (*APS - Adaptive Phase Shifters*) no domínio do tempo aos sinais das fases B e C, através de (22) e (23), respectivamente. Depois de ter aplicado os procedimentos anteriores, calculam-se os valores eficazes de cada uma das variáveis associadas ao cálculo do padrão IEEE 1459-2010 e, por fim, são calculadas cada uma das parcelas de potências descritas na secção II.

Todos os cálculos são realizados, durante um período de processamento $T_{proc} \approx 84,62 \text{ ms} < T_{int}$, em uma máquina de estados que interage com uma unidade de ponto flutuante FPU (*Floating Point Unit*), ambas totalmente descritas em linguagens

de descrição de hardware. Esses resultados são disponibilizados em variáveis de 32 bits no formato do padrão IEEE 754.

Finalmente, o sinal **cal_ok** indica que o procedimento de cálculo foi completado e, consequentemente, um multiplexador disponibiliza os dados através do sinal **output_var[31:0]**, em função do sinal de controle do multiplexador **sel_var[7:0]**.

$$H_{PHSH} \left(\frac{2\pi}{3}, z^{-1} \right) = \frac{2\sin \left(\omega_1 T_s + \frac{2\pi}{3} \right) - \sqrt{3}z^{-1}}{2\sin(\omega_1 T_s)} \quad (22)$$

$$H_{PHSH} \left(-\frac{2\pi}{3}, z^{-1} \right) = \frac{2\sin \left(\omega_1 T_s - \frac{2\pi}{3} \right) + \sqrt{3}z^{-1}}{2\sin(\omega_1 T_s)} \quad (23)$$

D. UART e Interface Gráfica

O módulo UART é quem permite a interação do usuário com a ferramenta de cálculo embarcada no FPGA. Basicamente, por meio do protocolo de comunicação serial são solicitados os resultados através da variável de controle **sel_var[7:0]**, a qual é configurada desde a interface gráfica desenvolvida. Por fim, o sinal **output_var[31:0]** é encaminhado em pacotes, quatro pacotes de 8 bits, através do sinal **Tx** do módulo UART. Esses pacotes de dados são aquisitados e interpretados pela interface gráfica desenvolvida no software MATLAB.

V. RESULTADOS EXPERIMENTAIS

Com a finalidade de avaliar a plataforma desenvolvida foi definida uma bancada de testes, ilustrada na Fig. 3. Inicialmente, o equipamento é calibrado contrastando os valores RMS dos sinais de tensão e corrente com os obtidos pelo medidor de energia Yokogawa WT230. O erro relativo para os valores eficazes de tensão, em uma faixa de 20V até 240V, foi de $< \pm 0.03\%$. No caso, dos valores eficazes das correntes de fase, na faixa de 0.7A até 6A, o erro relativo foi de $< \pm 0.07\%$, como é mostrado na Fig. 4.

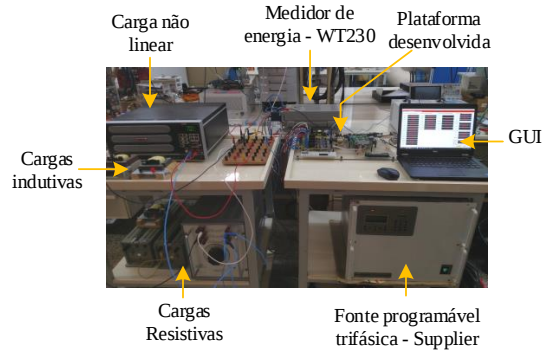


Figura 3. Bancada de testes.

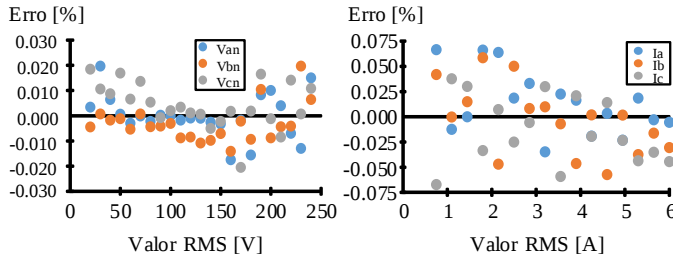


Figura 4. Erro relativo entre os valores RMS medidos pelo Yokogawa WT230 e os calculados pelo equipamento desenvolvido.

Na Fig. 5 são ilustradas as formas de onda dos sinais de tensão e corrente definidos como teste para avaliar o desempenho do equipamento desenvolvido. Assim, na Tabela I apresentam-se os resultados experimentais obtidos no processo de cálculo das variáveis de qualidade de energia de acordo com o padrão IEEE 1459-2010. Desta forma, o Teste 1 refere-se a um sistema balanceado com cargas puramente resistivas e tensões de fase sinusoidais, portanto, os parâmetros das potências ativa e aparente total, fundamental e fundamental de sequência positiva são equivalentes.

Porém, de acordo ao Teste 2, quando desbalanços de tensão são impostos ao sistema, o valor da potência SU_1 aumenta, devido ao desequilíbrio de carga nas fases do sistema, o qual também é refletido no parâmetro LU_1 . Isso, também traz como consequência que os fatores de potência de potência PF e PF_1 diminuam, mesmo com cargas puramente resistivas. De outro lado, o fator de potência PF_1^+ permanece unitário, já que o

Tabela I
PARÂMETROS CALCULADOS APLICANDO O PADRÃO IEEE 1459-2010.

Componentes	Parâmetros	Testes			
		1	2	3	4
Totais e não fundamentais	V_e [V]	127.80	125.73	128.02	112.80
	I_e [A]	4.2203	4.1989	3.311	3.0369
	V_H [V]	1.59	1.57	1.75	16.22
	I_H [A]	0.0974	0.091	1.3027	0.9241
	P [W]	1617.0	1568.3	995.8	874.7
	S_e [VA]	1618.1	1583.8	1271.6	1027.7
	N [VA]	58.0	221.4	790.8	539.5
	D_{eV} [VA]	20.2	19.8	16.0	140.8
	D_{eI} [VA]	37.3	34.3	500.3	309.5
	S_{eH} [VA]	0.5	0.4	6.8	45.0
	D_{eH} [VA]	0.4	0.4	6.8	39.5
	P_{eH} [W]	0.1	0.1	0.6	21.5
	S_{eN} [W]	42.5	39.6	500.6	343.0
	THD_{eV} [%]	1.25	1.25	1.36	14.53
	THD_{eI} [%]	2.31	2.17	42.80	31.94
	PF	0.999	0.990	0.783	0.851
Fundamentais	V_{e1} [V]	127.79	125.72	128.01	111.63
	I_{e1} [A]	4.219	4.198	3.044	2.893
	P_1 [W]	1616.9	1568.2	996.3	853.1
	S_{e1} [VA]	1617.5	1583.3	1168.9	968.8
	Q_1 [VAr]	33.3	35.2	143.1	148.0
	S_{U1} [VA]	35.1	385.6	600.0	543.6
	LU_1 [%]	2.17	25.11	59.81	67.79
	PF_1	1.000	0.990	0.852	0.881
	Frequência [Hz]	59.995	59.995	59.995	59.995
Fund. Seq-Pos.	V_1^+ [V]	127.79	124.68	128.00	109.04
	I_1^+ [A]	4.218	4.106	2.612	2.452
	P_1^+ [W]	1617.1	1535.7	996.0	794.7
	Q_1^+ [VAr]	1.9	1.6	119.7	106.8
	S_1^+ [VA]	1617.1	1535.7	1003.2	801.9
	PF_1^+	1.000	1.000	0.993	0.991

tipo de cargas presentes no sistema não influenciam no fluxo de potência de sequência positiva.

No Teste 3 é definido um sistema com tensões balanceadas-sinusoidais e carga puramente resistiva na fase A, carga resistiva-indutiva na fase B e carga não linear na fase C. Vê-se, na Tabela I, um aumento nas potências D_{eI} e S_{eN} devido à presença de harmônicos impostos pela carga não linear na fase C e, além disso, um incremento na parcela de potência reativa Q_1 como consequência da carga indutiva instalada na fase B. Destaca-se que neste caso, o fator de potência PF_1^+ é afetado pelo fluxo de reativos no sistema, e adicionalmente, o parâmetro PF_1 reflete os efeitos dos desbalanços de carga na componente fundamental do sistema.

Finalmente, mantendo as mesmas características das cargas presentes nas fases do sistema, são impostas tensões de fase desequilibradas e distorcidas no Teste 4. Assim, através da potência D_{eV} pode ser estabelecida a contribuição dos harmônicos nas tensões de fase na potência aparente S_e , o qual também implica uma redução no fator de potencia total PF . Adicionalmente, o parâmetro LU_1 aumenta devido aos desbalanços na componente fundamental.

VI. CONCLUSÕES

Uma plataforma de medição de energia elétrica, baseada no padrão IEEE 1459-2010, que utiliza processamento paralelo

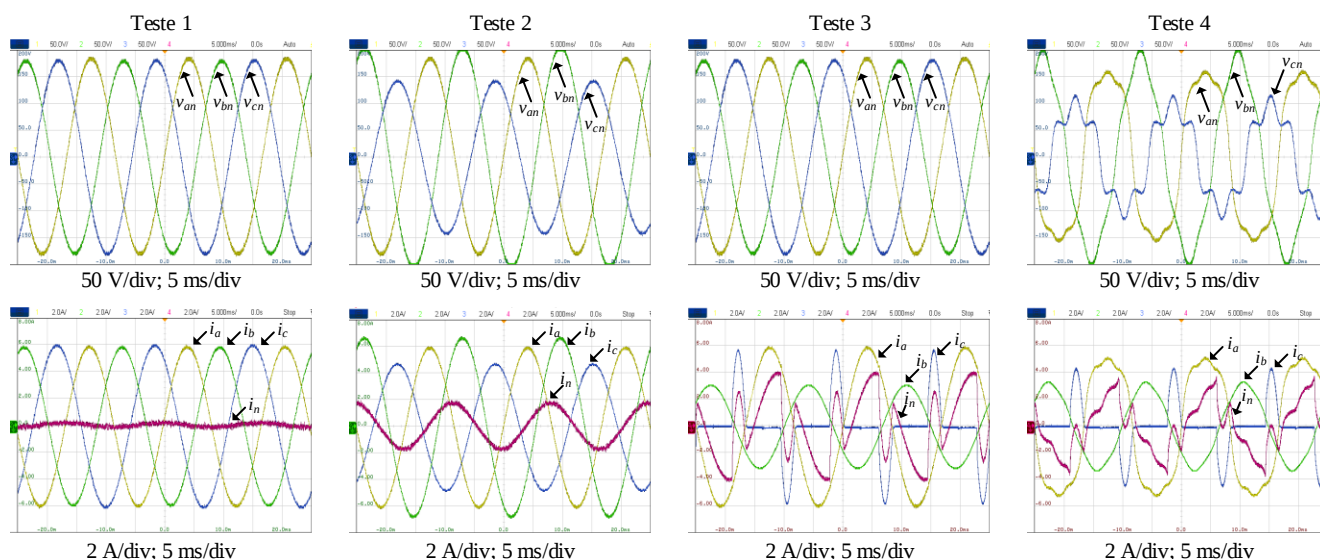


Figura 5. Tensões (50V/div) e correntes (2A/div) de fase dos testes realizados para validar o medidor desenvolvido.

para aquisição de sinais e processamento dos cálculos de potência foi apresentada neste artigo. Essa solução torna-se atrativa para ambientes de redes inteligentes de energia, onde a interação com outros dispositivos pode ser facilmente estabelecida, sem o risco de perdas de informações dos cálculos do sistema.

Os resultados experimentais, apresentados para diferentes cenários, demonstram que a aplicação das definições estabelecidas pelo padrão IEEE 1459-2010 tornam a plataforma desenvolvida como uma excelente ferramenta para realizar verificação e monitoramento em tempo real do comportamento de sistemas de energia.

Por fim, protocolos de comunicação utilizados em sistemas inteligentes serão explorados, transformando essa plataforma de medição em um medidor de qualidade de energia flexível que permite a interação do usuário com a empresa distribuidora de energia e com outros equipamentos inteligentes presentes na instalação.

REFERÊNCIAS

- [1] S. R. Depuru, L. Wang, V. Devabhaktuni, and N. Gudi, "Smart meters for power grid 2014; challenges, issues, advantages and status," in *2011 IEEE/PES Power Systems Conference and Exposition*, 2011, pp. 1–7.
- [2] A. McEachern and A. Eberhard, "A new, ultra low cost power quality and energy measurement technology - the future of power quality measurement," in *CIREC 2009 - 20th International Conference and Exhibition on Electricity Distribution - Part 1*, 2009, pp. 1–4.
- [3] L. Kukačka, J. Kraus, M. Kolář, P. Dupuis, and G. Zissis, "Review of ac power theories under stationary and non-stationary, clean and distorted conditions," *IET Generation, Transmission Distribution*, vol. 10, no. 1, pp. 221–231, 2016.
- [4] P. D. Poljak, M. D. Kusljevic, and J. J. Tomic, "Power components estimation according to IEEE standard 1459 2010 under wide-range frequency deviations," *IEEE Transactions on Instrumentation and Measurement*, vol. 61, no. 3, pp. 636–644, March 2012.
- [5] R. Langella, A. Testa, and A. E. Emanuel, "Unbalance definition for electrical power systems in the presence of harmonics and interharmonics," *IEEE Transactions on Instrumentation and Measurement*, vol. 61, no. 10, pp. 2622–2631, Oct 2012.
- [6] C. I. Chen, "A two-stage solution procedure for digital power metering according to IEEE standard 1459-2010 in single-phase system," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 12, pp. 5550–5557, Dec 2013.
- [7] Y. Zhang, X. Lu, and X. Lu, *Phase Measurement of Three-Phase Power Based on FPGA*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2012, pp. 170–179. [Online]. Available: http://dx.doi.org/10.1007/978-3-642-29157-9_16
- [8] P. Bilik, "Measurement of voltage and current harmonics for frequencies up to 9 kHz according to IEC 61000-4-7," in *2009 10th International Conference on Electrical Power Quality and Utilisation*, 2009, pp. 1–5.
- [9] J. Jiang and L. Yu, "Design of a new three-phase multi-rate watt-hour meter based on AT89S52," in *2009 Second International Symposium on Computational Intelligence and Design*, vol. 1, Dec 2009, pp. 416–419.
- [10] Y. Yuying, "The design of wireless three-phase prepayment energy meter," in *World Automation Congress 2012*, June 2012, pp. 1–4.
- [11] A. Arif, M. Al-Hussain, N. Al-Mutairi, E. Al-Ammar, Y. Khan, and N. Malik, "Experimental study and design of smart energy meter for the smart grid," in *2013 International Renewable and Sustainable Energy Conference (IRSEC)*, March 2013, pp. 515–520.
- [12] U. Meyer-baese, *Digital Signal Processing with Field Programmable Gate Arrays*, 4th ed. Tallahassee, FL: Springer Science & Business Media, 2014.
- [13] "IEEE standard definitions for the measurement of electric power quantities under sinusoidal, nonsinusoidal, balanced, or unbalanced conditions," *IEEE Std 1459-2010 (Revision of IEEE Std 1459-2000)*, pp. 1–50, March 2010.
- [14] A. J. Berrisford, "A smarter meter: IEEE-1459 power definitions in an off-the-shelf smart meter," in *2015 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings*, May 2015, pp. 830–835.
- [15] P. Cossutta, S. Raffo, A. Cao, F. Ditaranto, M. P. Aguirre, and M. I. Valla, "High speed single phase SOGI-PLL with high resolution implementation on an FPGA," in *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, June 2015, pp. 1004–1009.
- [16] "NBR IEC 61000-4-30:2011 : Compatibilidade eletromagnética, parte 4-30: Técnicas de medição e ensaio - métodos de medição de qualidade da energia," *NBR IEC 61000-4-30:2011*, p. 76, 2011.
- [17] P. Ribeiro, C. Duque, P. Ribeiro, and A. Cerqueira, *Power Systems Signal Processing for Smart Grids*. Wiley, 2013. [Online]. Available: https://books.google.com.br/books?id=qZ_4AAAAQBAJ