

Implementação em FPGA de um algoritmo para análise de variações de tensão segundo a norma IEC 61000-4-30

Guilherme Gaudereto Sena,
Leandro R. Manso, Carlos A. Duque
Luciano M. de Andrade, Eder B. Kaspisch
Renato R. Aleixo
Universidade Federal de Juiz de Fora, Brasil
Email: guilherme.gaudereto@engenharia.ufjf.br

Paulo F. Ribeiro
Universidade Federal de Itajubá, Brasil
Email: pfribeiro@ieee.org

Resumo—O presente trabalho apresenta o desenvolvimento, implementação e teste de um coprocessador utilizado para implementação de um algoritmo para detecção e classificação de distúrbios de variação de tensão como afundamento (sag), elevação (swell), e interrupção. O algoritmo foi desenvolvido de acordo com os requerimentos para o padrão classe A, segundo a norma IEC 61000-4-30. A implementação do detector é realizada através de um sistema de processadores embarcados na plataforma FPGA (*Field Programmable Gate Array*), criado e idealizado para aplicações de Processamento digital de sinais. Os resultados foram obtidos com testes utilizando o gerador de sinais específico para sistemas de potência OMICRON CMC 256 plus, que possui uma função para geração de distúrbios de qualidade de energia.

Palavras-chaves—Qualidade de Energia, Detecção de Distúrbios Elétricos, Processamento Digital de Sinais.

I. INTRODUÇÃO

O conceito de perda de qualidade de energia elétrica (QEE), pode ser definido como qualquer desvio que possa ocorrer na magnitude, forma de onda ou frequência da tensão e/ou corrente elétrica, que resulte em falha ou operação indevida de equipamentos elétricos [1]. Variações de tensão como afundamentos (redução do valor RMS), elevações (aumento do valor RMS) e interrupções são considerados distúrbios de QEE e serão explorados nesse trabalho. O estudo e entendimento destes tipos de oscilações na rede elétrica é essencial para o correto funcionamento do sistema uma vez que podem levar a ocorrência de diversos problemas como:

- Falha de equipamentos eletrônicos e de iluminação;
- Redução da vida útil de máquinas rotativas transformadores, cabos, disjuntores, TPs e TCs;
- Operação indevida de relés de proteção, motores, geradores, etc;
- Desligamento de equipamentos;
- Interrupção do processo produtivo (altos custos);

Para a detecção e classificação destes e outros tipos de distúrbios de QEE é necessário a utilização de medidores

elétricos especialmente desenvolvidos para esta finalidade, uma área que cada vez mais vem sendo explorada comercialmente no mundo todo. Em outras palavras, o mercado de medidores elétricos é projetado para ter um crescimento estimado de US\$870,5 milhões de dólares em 2016 para US\$1,25 bilhão de dólares em 2021 [2].

Um medidor de QEE de alto padrão, com todas os requisitos especificados nas normas internacionais, é um produto de alto valor agregado. São largamente utilizados por indústrias e manufaturas, geralmente são instalados na entrada de alimentação da planta para monitorar distorções na energia elétrica, já que essas podem ser nocivas para equipamentos e processos [3]. Além disso, este tipo de medidores também tem sido amplamente utilizados por concessionárias de energia, devido aos avanços na infraestrutura de transmissão e distribuição, eficiência energética, matrizes geradoras renováveis e smart-grids.

Levando-se em consideração esses aspectos, conclui-se que não existe somente uma necessidade da sociedade na segurança da qualidade do produto energia elétrica, mas também um interesse econômico no desenvolvimento de tecnologias que ajudem no monitoramento e tratamento dos problemas que afetam a qualidade de energia elétrica.

Existem diversas normas no mundo que estabelecem os padrões mínimos de qualidade de energia elétrica, no Brasil o módulo 8 do PRODIST determina os procedimentos relacionados a qualidade de energia elétrica na distribuição [4]. A norma IEC 61000-4-30 utilizada como referência neste projeto, faz parte do conjunto de normas IEC 61000, sobre o título generalizado Compatibilidade Eletromagnética (EMC). Este documento tem a finalidade de definir métodos para a medição, interpretação e teste de parâmetros de qualidade de energia em sistemas de potência de 50/60 Hz [5]. As técnicas de medição propostas pela norma podem ser implementadas utilizando um processador digital de sinais (DSP) [6], computador pessoal (PC) [7] ou um circuito integrado de aplicação específica (ASIC) [8]. Neste trabalho a detecção de distúrbios proposta pela norma foi implementada em um processador embarcado

no chip FPGA especialmente desenvolvido para aplicações envolvendo processamento digital de sinais. Em [9] há também a utilização da FPGA no sistema de um medidor de QEE, porém sua utilização é restrita a compensação dos transdutores enquanto a implementação dos algoritmos é realizada em um controlador de tempo real. Dentre as vantagens da utilização deste tipo de sistema para medições de qualidade de energia podemos destacar [10]:

- Flexibilidade: ele pode ser usado para implementar qualquer algoritmo de aplicação em DSP, e pode ser usado tanto em ponto flutuante quanto em ponto fixo se adaptando as necessidades do projeto.
- Integração: pode-se facilmente acoplar quantos processadores forem necessários monitorando cada qual um parâmetro de QEE paralelamente, limitando-se, obviamente, à quantidade de recursos da FPGA.
- Atualizável: de acordo com o que a aplicação exigir, é possível por exemplo modificar o sistema do processador sem que seja necessário a troca do hardware.
- Econômico em recurso de hardware: utiliza uma quantidade relativamente baixa de LEs, blocos de memória e elementos DSP, quando comparado a outros processadores embarcados já existentes comercialmente[11].

Neste contexto, o trabalho apresenta a implementação, testes e resultados de um detector de Variações de tensão de curta duração polifásicas segundo a classe A da norma IEC 61000-4-30 implementado no sistema de um coprocessador de qualidade de energia elétrica em Matriz de Portas Lógicas Programáveis (FPGA). O artigo foi organizado da seguinte forma: na seção II é apresentado a elaboração do algoritmo, na seção III o sistema no qual o algoritmo está implementado é abordado. Na seção IV são apresentados os testes e resultados e por fim na seção V é apresentada a conclusão do artigo e propostas para trabalhos futuros.

II. ALGORITMO

A grandeza utilizada para a detecção de afundamento, elevação ou interrupção de tensão é o valor RMS de um ciclo do componente fundamental. Segundo a norma IEC 61000-4-30 esse valor, deve ser o “true RMS” (são incluídos harmônicos, interharmônicos, etc), iniciado no primeiro cruzamento por zero do componente fundamental e atualizado a cada meio ciclo [5]. Neste trabalho será utilizada a nomenclatura $V_{RMS(1/2)}$ para descrever essa grandeza. A duração do meio ciclo depende da frequência. A frequência deve ser medida sobre intervalos de 10 segundos, e harmônicos e interharmônicos devem ser atenuados a fim de evitar uma distorção nos cruzamentos por zero[5].

O valor RMS na sua forma discreta pode ser representado por:

$$RMS = \sqrt{\frac{1}{N} \sum_{n=0}^{N-1} v[n]^2} \quad (1)$$

em que:

V_{rms} - é o valor RMS.

N - é o número de amostras.

$v[n]$ - representa o sinal amostrado

Em outras palavras, é a raiz da média dos valores quadrados de entrada. Esta operação matemática pode ser implementada num sistema de processamento digital de sinais utilizando acumuladores e contadores. Os acumuladores tem a função de realizar o somatório dos valores quadrados conforme cada amostra é adquirida e é definido em (2). Já os contadores tem a função de contar as amostras que são acumuladas e é definido em (3).

$$acc = v[n]^2 + acc \quad (2)$$

$$cont = cont + 1 \quad (3)$$

Para implementação de $V_{RMS(1/2)}$ é utilizado um acumulador e um contador para cada meio ciclo. Toda vez que um meio ciclo é completo, isto é $cont \geq \frac{f_s}{2 * f}$ em que f_s é a frequência de amostragem e f é a frequência medida fornecida ao detector, o acumulador e o contador do meio ciclo atual são somados com o acumulador e contador do meio ciclo anterior e então o valor RMS é calculado:

$$V_{RMS(1/2)} = \sqrt{\frac{acc[k] + acc[k-1]}{cont[k] + cont[k-1]}} \quad (4)$$

Em (4) 'k' representa o número do meio ciclo. A Fig. 1 mostra o funcionamento ideal do calculo do RMS janelado por meio ciclos. A partir da figura é possível perceber que não ocorre a geração de um $V_{RMS(1/2)}$ após o primeiro meio ciclo, este serve apenas para iniciar o sistema que a partir do segundo meio ciclo passa a calcular um $V_{RMS(1/2)}$ a cada meio ciclo.

Os valores eficazes de cada fase calculados dessa maneira são então comparados com os limiares dos distúrbios para detecção dos eventos. Estes limiares são uma porcentagem da tensão de referência, que geralmente é a tensão nominal (há também o chamado “sliding reference voltage” [5] não abordado no presente trabalho). A porcentagem é escolhida de acordo com o contrato a ser estabelecido. Os valores típicos, e também utilizados no projeto, para cada distúrbio são: 90% para afundamentos, 110% para elevações e 10% interrupções.

Além do limiar estabelecido, pode também ser adotado uma histerese que é uma pequena diferença entre o limiar de entrada do distúrbio e o limiar de saída. Este mecanismo melhora a performance do detector, o valor típico para a histerese é 2% da tensão nominal [5].

Segundo a norma um distúrbio de afundamento ou elevação é iniciado quando $V_{RMS(1/2)}$ de qualquer uma das fases cruza os limiares pré-estabelecidos para qualquer um dos distúrbios. A finalização do evento ocorre quando o $V_{RMS(1/2)}$ de todas as fases é maior que o limiar de *sag* mais a histerese no caso de afundamentos e é menor que o limiar de *swell* menos a histerese no caso de elevações. Por outro lado, em sistemas

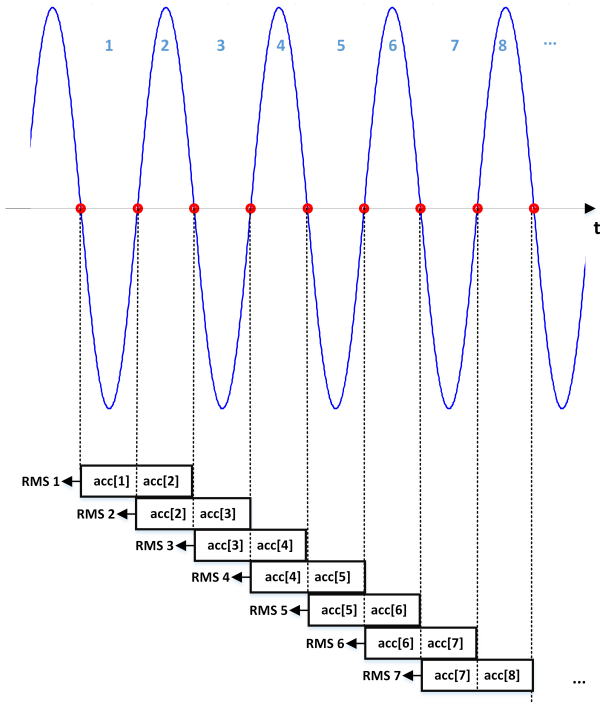


Fig. 1: Operação do $V_{RMS(1/2)}$.

polifásicos uma interrupção tem início quando o $V_{RMS(1/2)}$ de todas as fases são menores que o limiar de interrupção, e é finalizada quando o $V_{RMS(1/2)}$ de qualquer uma das fases é maior que o limiar de interrupção mais a histerese.

Durante a ocorrência dos eventos, os dados relevantes para a classificação do distúrbio são obtidos. No final do evento o algoritmo gera quatro dados para avaliação do distúrbio: tipo, fases envolvidas amplitude e duração. A Fig. 2 ilustra o funcionamento do algoritmo:

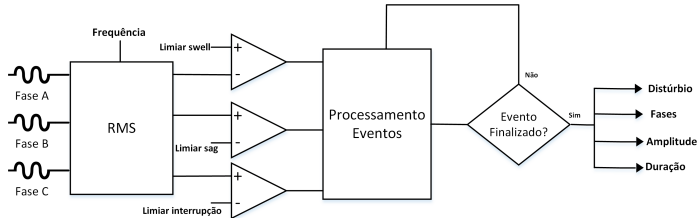


Fig. 2: Diagrama de blocos do algoritmo.

III. SISTEMA

Para a implementação foi utilizado um protótipo de processamento digital de sinais aplicados a sistemas de potência que inclui todos os hardwares necessários para garantir a aplicação da norma no padrão classe A, além de uma placa de condicionamento para aquisição dos sinais. A estrutura do sistema é apresentada na Fig. 3.

Nas próximas seções os principais componentes do sistema serão descritos, porém o foco é na implementação em FPGA onde os algoritmos de qualidade de energia foram implementados.

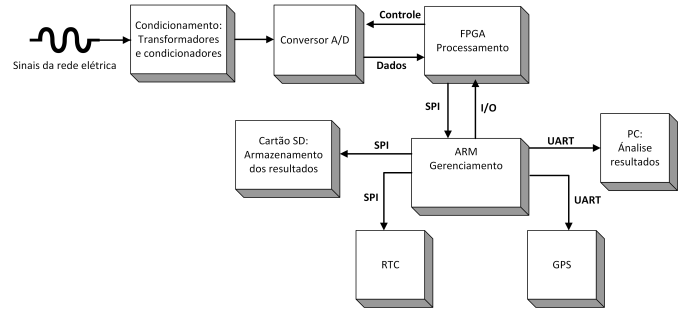


Fig. 3: Estrutura do sistema.

A. Condicionamento e conversão

Na primeira etapa de condicionamento são utilizados transformadores de tensão e corrente que permitem largura de banda de até 20 KHz. Além disso a placa ainda conta com *filtros anti-aliasing* Butterworth de quarta ordem com frequência de corte de 3 KHz [12]. Os filtros também permitem controle de ganho e ajuste de off-set.

O conversor digital analógico utilizado no projeto é o AD7606 produzido pela empresa ANALOG DEVICES®. Ele possui 8 canais de 16 bits, que podem ser convertidos simultaneamente [13]. Ele foi configurado para operar na faixa de $\pm 5V$ numa frequência de amostragem de 7680 Hz ou 128 amostras por ciclo da senóide de 60 Hz.

B. FPGA

A FPGA utilizada para as implementações dos algoritmos é da fabricante ALTERA®, ela pertence à família Cyclone IV (modelo EP4CE22F17C6) contida no kit DE0-nano, e possui 22.320 elementos lógicos, 154 pinos, 608.256 bits de memória e 4 PLLs[14]

O circuito implementado na FPGA é ilustrado na Fig. 4. Na figura é possível observar a arquitetura “top-level” simplificada do sistema, indicando os principais blocos, entradas e saídas do circuito.

Primeiramente, o bloco PLL (*phase-Locked Loop*) tem a função de gerar os clocks de operação do sistema. Ele é alimentado com um clock de 50 MHz gerado por um cristal e distribui clocks de 32 MHz (processamento) e 2,5 MHz (comunicação SPI (*serial peripheral interface*)). Em seguida, há o bloco Interface AD que controla o funcionamento do conversor analógico-digital e também realiza o tratamento dos dados convertidos. Ele possui suporte para o controle de até oito canais de conversão que possuem um registro FIFO (*first in first out*) individual para o recebimento dos dados. Quando um dado é convertido é gerado um sinal que indica aos processadores a disponibilização de novas amostras para o processamento.

Existem dois blocos de processamento, cada um possui um processador DSP que recebe um algoritmo de QEE. Este processador foi idealizado e otimizado para aplicações de processamento digital de sinais e algumas de suas características são:

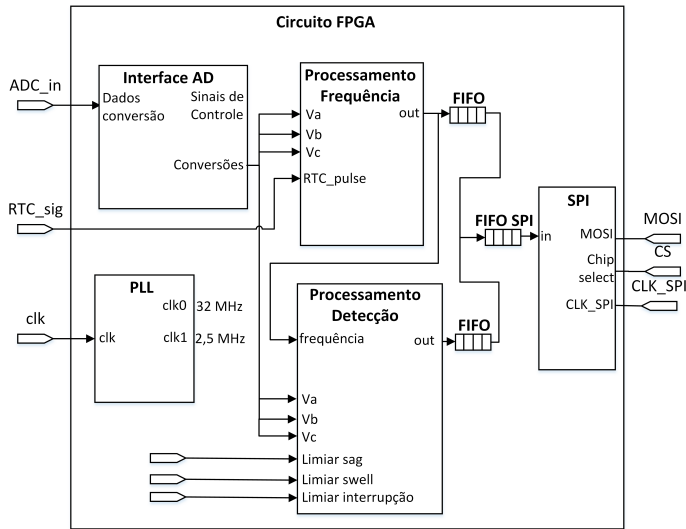


Fig. 4: Arquitetura *top-level* da FPGA.

- Conjunto de instruções do tipo RISC (*reduced instruction set computer*);
- Arquitetura harvard (memória de dados separada da memória de programa);
- Operações em ponto flutuante (multiplicação, adição, comparação, divisão) realizadas em um único ciclo de clock;

Para a programação do processador foram desenvolvidos compiladores C e Assembly. Os compiladores são responsáveis por gerar os arquivos binários que contêm os códigos de máquina a serem escritos nas memórias de instrução e dados, que por sua vez são implementadas através de blocos de memória da FPGA [10].

Cada bloco de processamento possui três entradas para os sinais de tensão de cada fase. Além disso o bloco de cálculo da frequência possui uma entrada para o sinal do pulso do RTC (*real-time clock*) que indica o intervalo de tempo de 10s (durante o primeiro intervalo de 10s a frequência é considerada como sendo a nominal). Já o bloco de detecção de distúrbios possui ainda uma entrada para a frequência medida e três entradas para a configuração dos limiares dos distúrbios.

O bloco da SPI é responsável não só pelo gerenciamento da comunicação SPI com o processador ARM (*advanced RISC machine*) mas também pelo gerenciamento das FIFOs dos processadores. A SPI funciona através de uma máquina de estados que verifica a todo instante a disponibilidade de dados de ambos processadores, caso eles possuam dados nas suas FIFOs a máquina de estados ativa a leitura desta FIFOs colocando os dados na FIFO de escrita da SPI. Este mecanismo permite que diversos processadores possam utilizar a SPI sem perda de dados.

1) *Lógica utilizada na FPGA*: A Tabela I mostra a utilização de hardware da FPGA pelo sistema. A partir da análise da tabela é evidente que o consumo de recursos da FPGA pelos processadores embarcados é baixo, com uma utilização de 7% dos blocos lógicos por processador. Tal

resultado confirma a possibilidade de adição de outros processadores embarcados visando a análise outros parâmetros de QEE no mesmo chip FPGA.

TABELA I: CAPACIDADE UTILIZADA DA FPGA

	Elementos Lógicos	Bits de memória
Processador frequência	1484 (6,6%)	6475 (1,06%)
Processador detecção	1568 (7%)	34941 (5,67%)
Interface AD	235 (1%)	384 (0,06%)
SPI	108 (0,5%)	1024 (0,17%)
Total utilizado	3395 (15%)	42824 (7%)

C. Processador ARM

O processador utilizado é o ARM Cortex-M4F de 32 bits da fabricante TEXAS INSTRUMENTS® incluído no kit Stellaris. Ele possui clock de 80 MHz com unidade de ponto flutuante e interfaces serial/SPI multicanal [15]. O processador foi configurado para gerenciar o RTC e o GPS (*global positioning system*), receber dados de processamento vindos da FPGA, salvar os dados das medições num cartão de memória e também fornecer uma interface com o PC. O RTC tem a função de temporizar a medição de frequência (10s), enquanto o GPS tem a função de garantir a sincronia do RTC.

IV. RESULTADOS

Para a análise a implementação do algoritmo foi utilizado o gerador de sinais CMC 256 plus da fabricante Omicron. Esta fonte é voltada para aplicações de alta precisão, tendo como principais aplicações testes e calibrações de equipamentos elétricos de proteção, qualidade de energia entre outros. Possui alta precisão com erros abaixo de 0,015% em relação ao valor esperado [16]. Este equipamento possui suporte para geração de testes de qualidade de energia segundo a norma IEC 61000-4-30, podendo gerar diversos distúrbios de forma independente ou simultânea. Para o presente trabalho, esta fonte foi operada através do software *test universe*® gerando tensões fase neutro com valor RMS nominal de 127 V e 60 Hz. A bancada de testes com o gerador omicron e o protótipo utilizado é mostrada na Fig. 5.

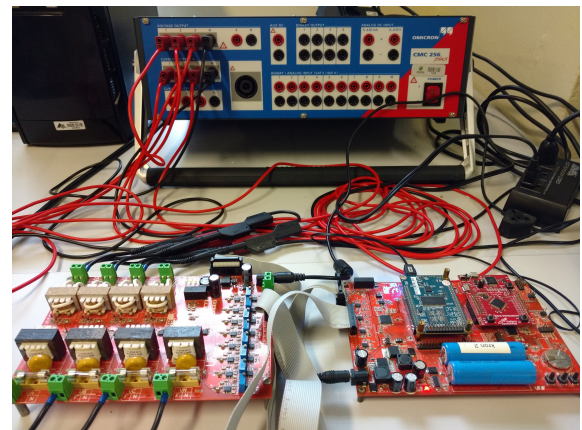


Fig. 5: Bancada de testes.

Segundo a norma no padrão classe A, a incerteza para a medição da amplitude dos distúrbios, não pode exceder $\pm 0,2\%$ da tensão nominal. Já a incerteza total da duração dos eventos é igual a **um ciclo** (meio ciclo de incerteza para o início do distúrbio e meio ciclo de incerteza para o final do distúrbio) da fundamental [5].

Foram realizados diversos testes para averiguar a robustez do algoritmo. Primeiramente, é apresentado os resultados obtidos a partir de bateria de testes para uma faixa de amplitude de distúrbios trifásicos de 0,2 pu até 1,4 pu com duração fixada em 1 ciclo. Através de uma aplicação desenvolvida para PC as amplitudes e durações dos distúrbios medidas pelo sistema eram testadas para analisar se estavam dentro da faixa permitida de erro pela norma. No final da bateria eram gerados os dados estatísticos das medições: média (μ_{Amp} e μ_{Dur}) e desvio padrão (σ_{Amp} e σ_{Dur}) para amplitude e duração respectivamente, além do pior caso encontrado para a amplitude. O algoritmo obteve 100% de acerto para as medições de amplitude e duração em todas as baterias e uma baixa variação dos valores obtidos demonstrando uma ótima precisão de medição, como pode ser averiguado através da Tabela II em que os dados referentes amplitude se encontram em pu enquanto os dados referentes a duração em segundos.

TABELA II: Resultados - Bateria de testes

Amplitude	μ_{Amp}	σ_{Amp}	Pior caso	μ_{Dur}	σ_{Dur}
0,2	0,200772	0,000325	0,200998	0,028125	0
0,4	0,400048	0,000100	0,400500	0,028125	0
0,6	0,600080	0,000132	0,600500	0,028125	0
0,8	0,799909	0,000057	0,800125	0,023048	0
1,1	1,100850	0,000047	1,100909	0,011458	0
1,2	1,200562	0,000054	1,200666	0,028125	0
1,3	1,300622	0,000059	1,300769	0,028125	0

Em adição também são apresentados resultados da classificação para todos os tipos de distúrbios de variação de tensão envolvendo uma, duas ou três fases. Os testes estão divididos por tipo de distúrbio, e cada um é apresentado por sua duração, amplitude e fases envolvidas. É também apresentado um gráfico que contem o sinal gerado para o teste.

A. Afundamento monofásico

Duração: 4 ciclos / Amplitude: 0,7 pu / Fases: A.

Na Fig. 6 é apresentado um afundamento monofásico envolvendo a fase A com amplitude de 0,7 pu e duração de 4 ciclos. O algoritmo obteve uma amplitude de 0,70014 pu, o que representa um erro de 0,014% em relação a amplitude do distúrbio e portanto dentro da faixa de incerteza aceitável. Em adição, a duração do evento registrada foi de 4,5 ciclos, com 0,5 ciclo de erro, também dentro da faixa aceitável.

B. Afundamento trifásico

Duração: 2,5 ciclos / Amplitude: 0,4 pu / Fases: A, B e C.

A Fig. 7 apresenta um afundamento trifásico de amplitude 0,4 pu e duração de 2,5 ciclos. Os resultados da medição são: 0,39925 pu para a amplitude e 3,336 ciclos para a duração, mais uma vez todos os resultados estão dentro da faixa aceitável de incerteza da norma com erros de 0,075%

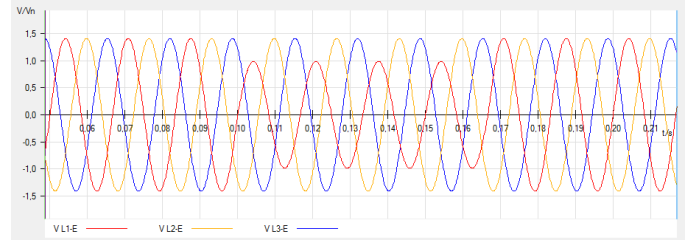


Fig. 6: Afundamento monofásico.

e 0,836 ciclos respectivamente. Contudo, o erro obtido na duração é mais acentuado neste caso, isso se deve ao fato do distúrbio envolver diversas fases, já que a norma estipula que o afundamento só é finalizado quando todas as fases apresentarem valores eficazes acima do limiar do distúrbio mais a histerese [5].

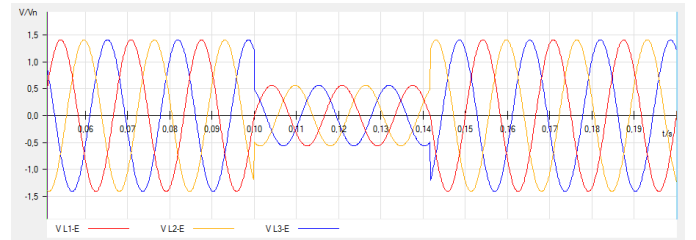


Fig. 7: Afundamento trifásico.

C. Elevação bifásica

Duração: 1 ciclo / Amplitude: 1,12 pu / Fases: A e B.

Uma elevação bifásica envolvendo as fases A e B é apresentada na Fig. 8. O distúrbio possui amplitude de 1,12 pu e duração de um ciclo, o que representa um distúrbio crítico para o algoritmo já que possui uma curta duração e baixa amplitude. Entretanto, os resultados foram positivos com uma amplitude medida de 1,11973 o que representa 0,027% de incerteza e duração de 0,664 ciclos com um erro de 0,336 ciclos, ambos dentro da margem estabelecida pela norma.

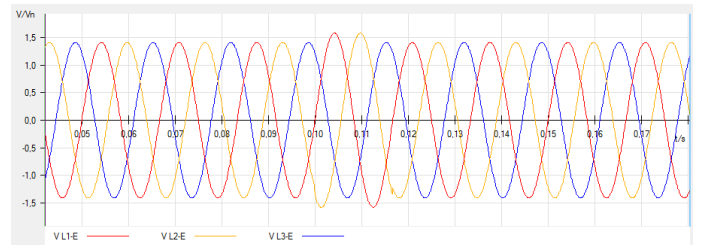


Fig. 8: Elevação bifásica.

D. Elevação trifásica

Duração: 10 ciclos / Amplitude: 1,3 pu / Fases: A, B e C.

Na Fig. 9 é apresentada uma elevação trifásica de amplitude 1,3 pu e duração de 10 ciclos. As medições mais uma vez atenderam a precisão mínima estabelecida pela norma com

uma amplitude de 1,30015 pu, erro de 0,01538% e duração de 10,836 ciclos, erro de 0,836 ciclos.

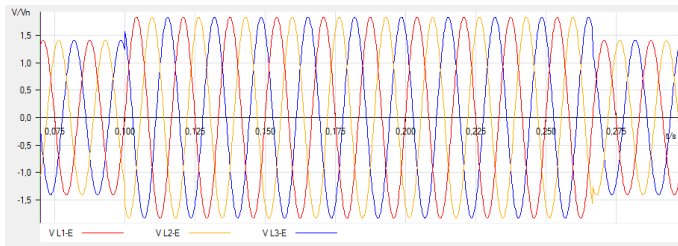


Fig. 9: Elevação trifásica.

E. Interrupção

Duração: 5.5 ciclos / Amplitude: 0,09 pu/ Fases: A, B e C.

Por fim, o último distúrbio dentre os testes apresentados é ilustrado na Fig. 10. O evento é uma interrupção de tensão com amplitude de 0,08 pu e duração de 5,5 ciclos. Apesar da amplitude não ser um parâmetro requerido pela norma para avaliação das interrupções, no detector proposto ela é medida e o resultado foi positivo com uma medição de 0,08 pu e 0% de erro. Além disso, a duração medida foi de 6,336 ciclos com um erro de 0,836 dentro da faixa aceitável.

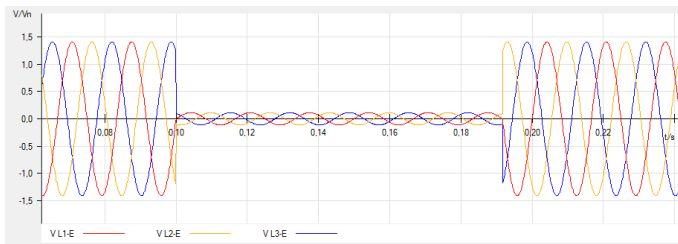


Fig. 10: Interrupção.

V. CONCLUSÃO

Neste artigo foi apresentado o desenvolvimento e implementação de um algoritmo de detecção de eventos de variação de tensão segundo a norma IEC 61000-4-30. Primeiramente, foi apresentado a idéia e o funcionamento dos algoritmos. Em seguida as implementações em um protótipo de processamento de sinais foram descritos com o foco na plataforma FPGA.

A técnica utilizada para a implementação em FPGA foi a utilização de processadores embarcados que operam paralelamente, cada qual realizando os cálculos simultaneamente de cada algoritmo. Com a análise de utilização de recursos da FPGA ficou evidente que a técnica proposta é válida para a implementação de um medidor de QEE.

Após a conclusão da implementação, baterias de testes utilizando o gerador de sinais de potência Omicron CMC 256 plus foram realizadas. Os resultados foram muito coerentes com o esperado e dentro dos padrões mínimos de precisão estabelecidos pela norma, validando o projeto dos algoritmos.

Em vista dos resultados apresentados, conclui-se que o projeto do sistema foi capaz de cumprir os objetivos propostos com um bom nível de precisão e robustez. E se mostrou capaz de compor o sistema de um medidor de qualidade de energia classe A a partir da implementação em FPGA com processadores embarcados. O objetivo a partir dos resultados obtidos é a implementação de todos os tópicos da norma IEC 61000-4-30 utilizando o sistema de coprocessadores apresentado.

REFERÊNCIAS

- [1] G. Paulillo, "Conceitos gerais sobre qualidade de energia," *O setor elétrico*, vol. 84, pp. 28–35, jan. 2013.
- [2] MarketsandMarkets, "Power quality meter market worth 1,252.0 million usd by 2021," June 2016, acessado: 10/02/2017. [Online]. Available: <http://www.marketsandmarkets.com/Market-Reports/power-quality-meter-market-34696492.html>
- [3] ERSE, "Qualidade de energia elétrica," 2009, acessado: 10/02/2017. [Online]. Available: <http://www.erse.pt/pt/electricidade/qualidadedeservico/qualidadedeservicotecnica/Paginas/Qualidadedaondadetenso.aspx>
- [4] ANEEL, "Procedimentos de distribuição de energia elétrica no sistema elétrico nacional (prodist): Módulo 8," jan. 2017.
- [5] IEC, "61000-4-30. part 4-30: Testing and measurement techniques - power quality measurement methods," *International Electrotechnical Commission*, 2008.
- [6] J. Mindykowski and T. Tarasiuk, "Dsp-based instrument for power quality monitoring on ships," in *XIX IMEKO World Congress Fundamental and Applied Metrology*, September, 2009, pp. 6–11.
- [7] A. Ardeleanu and P. Ramos, "Real time pc implementation of power quality monitoring system based on multiharmonic least-squares fitting," *Metrology and Measurement Systems*, vol. 18, no. 4, pp. 543–554, 2011.
- [8] V. V. de Araújo, R. A. Hernandez, E. Simas, A. Oliveira, and W. L. de Olivera, "Dedicated hardware implementation of a high precision power quality meter," in *Instrumentation and Measurement Technology Conference (I2MTC), 2015 IEEE International*. IEEE, 2015, pp. 393–398.
- [9] A. Delle Femine, D. Gallo, C. Landi, and M. Luiso, "Power-quality monitoring instrument with fpga transducer compensation," *IEEE Transactions on Instrumentation and Measurement*, vol. 58, no. 9, pp. 3149–3158, 2009.
- [10] E. Kapisch, L. Silva, C. Martins, A. Barbosa, C. Duque, A. Taviel, L. de Souza *et al.*, "An implementation of a power system smart waveform recorder using fpga and arm cores," *Measurement*, vol. 90, pp. 372–381, 2016.
- [11] ALTERA, "Nios ii processor handbook," 2014.
- [12] E. B. Kapisch, "Detecção e compressão de distúrbios elétricos baseadas em plataforma fpga," jan. 2015.
- [13] A. DEVICES, "Data sheet ad7606," 2012.
- [14] ALTERA, "De0-nano user manual," 2015.
- [15] TI, "Tiva c series tm4c123g launchpad evaluation board: User's guide," 2013.
- [16] OMICRON, "Cmc 256plus: Technical data," 2013.