

SISTEMA PARA REDUÇÃO DA SOBREPOSIÇÃO DE SINAIS EM CALORIMETRIA DE ALTAS ENERGIAS EM OPERAÇÃO COM ALTA TAXA DE EVENTOS

IGO A. DOS S. LUZ*, EDUARDO F. S. FILHO*, PAULO C. M. A. FARIAS*, MATHEUS BECK*,
LUCIANO M. ANDRADE†, JOÃO PAULO B. S. DUARTE†, JOSÉ M. DE SEIXAS‡

*Programa de Pós Graduação em Engenharia Elétrica, Escola Politécnica
Universidade Federal da Bahia, Salvador, Bahia, Brasil

†Programa de Pós Graduação em Engenharia Elétrica
Universidade Federal de Juiz de Fora, Juiz de Fora, Minas Gerais, Brasil

‡Laboratório de Processamento de Sinais COPPE/POLI
Universidade Federal do Rio de Janeiro, Rio de Janeiro, Rio de Janeiro, Brasil

Emails: igoamauri@gmail.com, eduardo.simas@ufba.br, paulo.farias@ufba.br,
matheus.alencarbeck@gmail.com, luciano.andrade@engenharia.ufjf.br,
joao.duarte@engenharia.ufjf.br, seixas@lps.ufrj.br

Abstract— Real-time systems have some challenges in terms of performance that must be met in your project, such as: processing time, power consumption, area consumption, among others. Thus, due to these restrictions, sometimes, these projects need to be developed in dedicated hardware. A problem in digital signal processing systems is the superimposition of information from subsequent events. This signal distortion is called pileup and occurs very often in the particle detectors. This work proposes a dedicated signal processing system embedded on a digital high-performance reconfigurable electronic platform for reduction of the pileup in a calorimeter. To this end, a parallel implementation of digital finite impulse response filters was used. Each filter represents an approximation of the inverse of the measurement channel impulse response, performing signal deconvolution. The obtained results indicate the efficiency of the proposed solution and the compliance to the time latency required for the application.

Keywords— FPGA, Digital Filter, Deconvolution, Particle physics, Calorimeter.

Resumo— Sistemas que funcionam em tempo real possuem diversos desafios em termos de desempenho que precisam ser atendidos em seu projeto, tais como: tempo de processamento, consumo de potência, área utilizada, entre outros. Dessa forma, para atender a essas restrições, esses projetos precisam ser desenvolvidos em *hardware* dedicado. Um problema que ocorre nos sistemas de processamento digital de sinais é a sobreposição entre informações provenientes de eventos subsequentes. Essa distorção do sinal é chamada empilhamento (do inglês *pileup*) e ocorre com muita frequência no âmbito dos detectores de partículas. Esse trabalho propõe um circuito eletrônico dedicado implementado em um sistema digital reconfigurável de alto desempenho para redução do empilhamento nos sinais medidos em um calorímetro. Para isso, são utilizados filtros digitais de resposta ao impulso finita implementados em paralelo. Cada filtro é uma aproximação da inversa da resposta ao impulso do canal de medição, realizando a desconvolução dos sinais medidos. Os resultados obtidos mostram a eficiência da técnica proposta e a adequação aos requisitos de tempo de processamento da aplicação.

Palavras-chave— FPGA, Filtro Digital, Desconvolução, Física de Partículas, Calorímetro.

1 Introdução

Sistemas para aplicações de processamento de sinais que exigem melhores desempenhos em relação ao tempo de processamento, consumo de potência, entre outros quesitos, precisam ser desenvolvidos em *hardware* dedicado, com características específicas, para alcançar os resultados esperados. Nesse cenário, apresenta-se os sistemas em tempo real, que tem seu tempo de processamento restrito à taxa de geração de eventos externos, dessa forma, muitas vezes não sendo viável a utilização de equipamentos de propósito geral para o processamento dos dados.

No processamento digital de sinais, existem sistemas em tempo real que são afetados pela sobreposição da informação de eventos subsequentes, fenômeno conhecido como *pileup*. Esse problema está associado à alta taxa de ocorrência dos eventos e ao tempo de resposta dos equipamentos

responsáveis pela detecção dos mesmos. Dessa forma, a depender da frequência de geração dos eventos, torna-se necessário projetar uma solução em *hardware* dedicado para reduzir os efeitos do empilhamento e recuperar a informação real. Essa recuperação da informação pode ser feita através do processo de filtragem, utilizando filtros digitais.

O efeito de empilhamento ocorre em sistemas das mais diversas áreas, dentre elas pode-se citar a Física de Partículas. Essa área de atuação é responsável por estudar a composição da matéria, as partículas subatômicas e suas interações (Fenow, 1986). O Centro Europeu para Pesquisas Nucleares (CERN), um dos centros de pesquisa de referência em Física de Partículas, desenvolveu o *Large Hadron Collider* (LHC) (Evans and Bryant, 2008; Filho, 2010), sendo este o maior acelerador de partículas em operação. Além desse, outros centros também desenvolveram diferentes equipamentos, como o *Relativistic Heavy Ion Col-*

lider (RHIC), desenvolvido pelo Laboratório Nacional de Brookhaven, o *Tevatron*, desenvolvido pelo *Fermilab*, entre outros. Nesses equipamentos, o efeito de *pileup* ocorre nos detectores devido à relação entre a frequência de ocorrência das colisões e ao tempo de resposta dos sensores responsáveis por transformá-las em sinais digitais.

Esse trabalho propõe o desenvolvimento de um sistema digital responsável por reduzir os efeitos do empilhamento de eventos no Calorímetro do LHC, tendo como objetivo garantir o correto funcionamento do sistema de seleção de eventos de interesse. Devido à restrição de tempo da aplicação, foi necessário desenvolver uma implementação em *hardware* dedicado (em *Field Programmable Gate Array - FPGA*), para executar o processamento em paralelo do conjunto de dados dos sensores.

No FPGA, o processamento das amostras é realizado utilizando filtros digitais, projetados através de um conjunto de dados simulados, que consideram o funcionamento real dos detectores, e capazes de realizar uma filtragem inversa (desconvolução). A arquitetura do filtro desenvolvida foi a Resposta de Impulso Finita (*Finite Impulse Response - FIR*) em sua forma transposta (Meyer-Baese, 2007).

Esse artigo é dividido em cinco seções: A Seção 2 descreve o problema da sobreposição de sinais no âmbito dos detectores de partículas; a Seção 3 aborda o método proposto para recuperação do sinal; a Seção 4 descreve o sistema em FPGA; a Seção 5 apresenta os resultados simulados obtidos com a implementação do sistema proposto; a Seção 6 apresenta a conclusão.

2 Detectores de Partículas

Os detectores de partículas são equipamentos utilizados para identificar características das partículas, separando-as no tempo e no espaço, para que possam ser associadas a determinados eventos (Martin, 2009). Para alcançar a precisão necessária para os experimentos, utilizam-se diferentes tipos de detectores, cada um relacionado a uma determinada característica que deseja-se identificar. Por exemplo: detector a gás, responsável por detectar a ionização produzida pela passagem da carga de uma partícula por um determinado gás; calorímetro, usado para medir a energia e a posição da partícula através de total absorção; entre outros.

Dentre os calorímetros em funcionamento, pode-se citar o conjunto que compõe o ATLAS, um dos detectores de propósito geral do LHC (Aad et al., 2008). Este é dividido em camadas, 4 referentes aos Calorímetros Eletromagnéticos e 3 aos Hadrônicos (Aad et al., 2010). A Figura 1 ilustra um corte transversal nesse conjunto de calorímetros.

O efeito de empilhamento de eventos que

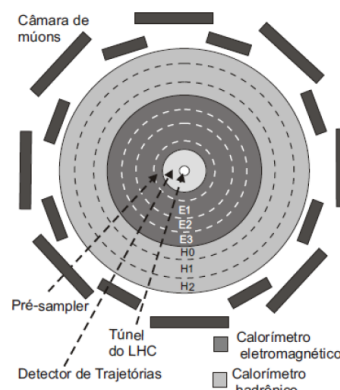


Figura 1: Corte transversal dos calorímetros do ATLAS.

acontece nos detectores de partículas, como o ATLAS, compromete o sistema de detecção e seleção das eventos de interesse desses sistemas, pois este provoca a distorção do padrão dos sinais. A Figura 2 ilustra o pulso típico do sensor de um calorímetro do ALTAS, tendo esse uma duração da ordem de 150ns. Considerando-se um sistema que tenha, por exemplo, uma frequência de ocorrência de colisões de 40MHz, esse sensor permaneceria sensibilizado por até 6 colisões subsequentes. A Figura 3 mostra o efeito do empilhamento nesse sinal.

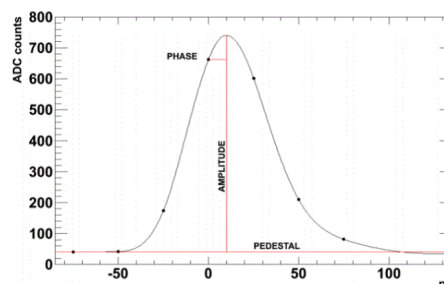


Figura 2: Resposta ao Impulso Típica de um sensor (Cavalcanti et al., 2014).

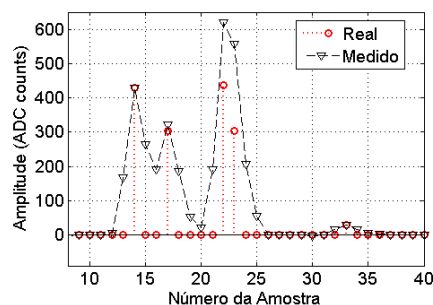


Figura 3: Efeito de empilhamento em um sinal medido (Cavalcanti et al., 2014).

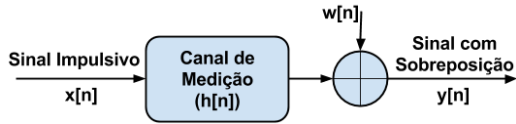


Figura 4: Modelo da sobreposição no Calorímetro.

3 Método Proposto

A técnica de estimação de energia utilizada nesse trabalho baseia-se no princípio da filtragem inversa (ou desconvolução).

A Eq 1, na qual $\mathbf{h}[n]$ e $\mathbf{g}[n]$ são as respostas ao impulso e $\delta[n]$ representa um impulso unitário, apresenta uma relação em que dois sistemas lineares, invariantes no tempo e causais no tempo discreto são inversos.

$$\mathbf{h}[n] * \mathbf{g}[n] = \delta[n] \quad (1)$$

Considerando que um determinado sinal $\mathbf{x}[n]$ que foi transmitido em um canal de transmissão com resposta ao impulso $\mathbf{h}[n]$, nesse caso, $\mathbf{y}[n] = \mathbf{x}[n] * \mathbf{h}[n]$ representará o sinal $\mathbf{x}[n]$ distorcido pelo canal $\mathbf{h}[n]$. Na Figura 4 observa-se o processo de distorção do sinal impulsivo em um Calorímetro, nesta, $\mathbf{x}[n]$ representa o sinal de energia referente a uma colisão, $\mathbf{h}[n]$ a resposta ao impulso do canal de medição do Calorímetro modelado, $\mathbf{w}[n]$ representa um ruído de medição, e, por fim, $\mathbf{y}[n]$ o sinal resultante do processo de medição.

Para efetuar a recuperação de $\mathbf{x}[n]$, deve-se convolver $\mathbf{y}[n]$ com $\mathbf{g}[n]$, que representa a resposta ao impulso do canal inverso de $\mathbf{h}[n]$. Sendo assim, o resultado desse processamento ($\mathbf{v}[n]$) será uma aproximação da entrada $\mathbf{x}[n]$. A Eq. 2 ilustra essas relações.

$$\mathbf{y}[n] = \mathbf{x}[n] * \mathbf{h}[n] \rightarrow \mathbf{v}[n] = \mathbf{y}[n] * \mathbf{g}[n] \simeq \mathbf{x}[n] \quad (2)$$

Este sistema inverso pode ser representado no domínio Z, para isso, aplica-se a Transformada Z em ambos os lados da Eq. 1, então, obtém-se o sistema inverso de $\mathbf{H}(z)$ (Eq. 3).

$$\mathbf{G}(z) = \frac{1}{\mathbf{H}(z)} \quad (3)$$

Com o intuito de propor uma solução eficiente de projeto do filtro, estudos foram realizados com diferentes técnicas (Duarte, 2015). De acordo com os resultados satisfatórios das análises (Duarte, 2015), decidiu-se utilizar, nesse trabalho, o método que baseia-se em uma abordagem determinística para obter um FIR que desconvolve $\mathbf{y}[n]$ e, então, recupera o sinal de energia real $\mathbf{x}[n]$.

Na abordagem determinística, encontram-se os coeficientes do filtro inverso a partir do pulso característico $\mathbf{h}[n]$ do detector. No domínio z, obtém-se o filtro inverso $\mathbf{G}(z)$, consequentemente,

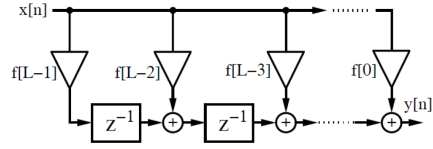


Figura 5: Forma Transposta do Filtro FIR.

os coeficientes utilizados para desconvolver os sinais com sobreposição (Duarte, 2015).

Ao se analisar o espectro do pulso característico desse detector no domínio z ($\mathbf{H}(z)$), considerando um sistema causal, o filtro inverso ($\mathbf{G}(z)$) não é realizável. Para se obter uma aproximação de um filtro realizável, adotou-se uma estratégia a partir da separação de $\mathbf{G}(z)$ em dois polinômios $\mathbf{G}_1(z)$ e $\mathbf{G}_2(z)$, sendo o primeiro composto pelos pólos internos ao círculo unitário, caracterizando-se como estável, enquanto que o segundo possui pólos externos ao círculo unitário, caracterizando-se como instável. Sendo assim, trata-se $\mathbf{G}_2(z)$ para obter uma aproximação estável e causal do mesmo. A partir da resposta ao impulso obtida de $\mathbf{G}_2(z)$, realiza-se a convolução com a resposta ao impulso do sistema $\mathbf{G}_1(z)$, obtendo, assim, a resposta ao impulso de uma aproximação do sistema inverso $\mathbf{G}(z)$ realizável (Duarte, 2015).

Nesse trabalho, optou-se pela aplicação de técnicas de filtros FIR para a implementação do filtro inverso (Duarte, 2015), pois possuem duração finita (Lyons, 2011). Esses filtros têm resposta de fase linear, não possuem realimentação, sendo sempre estáveis (Gnanasekaran and Manikandan, 2013). A saída de um filtro FIR pode ser expressa pela Eq. 4, sendo L a ordem do filtro (Lyons, 2011).

$$\mathbf{y}[n] = \mathbf{x}[n] * \mathbf{h}[n] = \sum_{k=0}^{L-1} \mathbf{h}[k] \mathbf{x}[n-k] \quad (4)$$

Existem diferentes estruturas de implementação de um filtro FIR, neste trabalho foi utilizada a forma transposta (Figura 5) (Meyer-Baese, 2007). Em relação aos benefícios dessa arquitetura, afirma-se que não é necessário registrador de deslocamento extra para o $\mathbf{x}[n]$ e também não é necessário estágio extra de *pipeline* para os somadores do produto para que se obtenha alta taxa de processamento dos sinais (Meyer-Baese, 2007).

4 Sistema Eletrônico Desenvolvido

Cada módulo desse sistema, ilustrado na Figura 6, é responsável por processar os sinais de 12 canais. A informação de energia é enviada de forma serial para o FPGA e o sistema precisa disponibilizar a informação processada também de forma serial.

Na Figura 6 pode-se identificar a arquitetura do sistema proposto. Os blocos “Conversor Serial/Paralelo” e “Paralelo/Serial” são responsáveis por fazer a conversão do sinal de entrada e do sinal de saída do sistema, respectivamente. O bloco “Configuração Filtro” é responsável por armazenar palavras de configuração que serão utilizadas pelas implementações dos filtros, por exemplo, seus coeficientes. O bloco “Controle” garante que, à medida que os sinais de entrada sejam convertidos, estes sejam enviados para a instância do filtro responsável por executar o processamento das amostras do respectivo canal. O “Banco de Filtros” agrupa os filtros digitais responsáveis pela filtragem dos sinais.

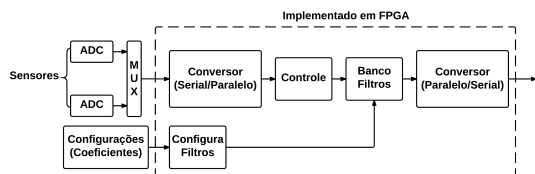


Figura 6: Arquitetura do Sistema Proposto.

Para ter um melhor desempenho em relação ao tempo de processamento, a arquitetura foi planejada para implementar técnicas de *pipeline* e de diferentes domínios de *clock*. O sistema foi dividido, basicamente, em três estágios: conversão do sinal de entrada; processamento do sinal; conversão do sinal de saída. O primeiro estágio é responsável por converter o sinal de entrada serial em paralelo, sendo assim, criando a palavra que representa o sinal de energia capturado de um determinado sensor. Essa informação é processada no segundo estágio, responsável por aplicar o filtro. E, por fim, o terceiro estágio converte o sinal processado em serial para ser disponibilizado na saída do sistema. Essa técnica garante que os três estágios funcionem de forma paralela, ou seja, enquanto o dado de entrada está sendo convertido, outro dado é processado no segundo estágio, consequentemente, uma outra amostra, que já passou pelo processo de filtragem, pode ser convertida em serial na saída do sistema.

O terceiro estágio foi projetado para utilizar uma frequência de *clock* duas vezes mais rápida do que o restante do sistema. Com isso, garante-se que esse bloco finalizará a conversão do sinal de saída mais rápido que os demais estágios. Ou seja, quando um sinal de energia filtrado for disponibilizado pelo segundo estágio, o último bloco estará pronto para fazer a conversão.

5 Resultados

O sistema eletrônico proposto foi desenvolvido utilizando-se os dispositivos Virtex-7 (XC7VX485T) (Xilinx, 2015) e Kintex-7

(XC7K480T) (Xilinx, 2015), e foi testado com sinais de energia simulados. Foi utilizado um modelo em MATLAB® que simula o comportamento dos sensores em cada colisão, gerando, assim, os sinais de energia referentes a cada evento. O simulador utiliza a resposta ao impulso típica de um canal de medição.

Para a execução dos testes da implementação em FPGA, os dados de entrada precisam ser representados em ponto fixo. A representação, tanto dos coeficientes como dos sinais de energia, foi definida em complemento de dois. Sendo assim, foi definida a quantidade de bits para representação das partes inteira e fracionária do valor real. Além disso, para evitar *overflow*, foi utilizada a técnica de saturação (Constantinides et al., 2003).

Para a validação do projeto, foram executadas simulações com diferentes cenários, alterando a ordem do filtro e utilizando o mesmo conjunto de sinais simulados. Como modelo de referência, foi utilizada a função em MATLAB® que implementa o filtro digital FIR. Dessa forma, realizou-se a filtragem utilizando o mesmo conjunto de entradas que foram utilizadas no dispositivo FPGA.

Nos resultados das simulações em FPGA, os sinais de energia foram representados com 12 bits e os coeficientes com 18 bits, sendo esta resolução definida de acordo com análises preliminares dos valores simulados. A Figura 7 a) e b) ilustra o sinal simulado sem e com empilhamento respectivamente, ambos representados em ponto fixo.

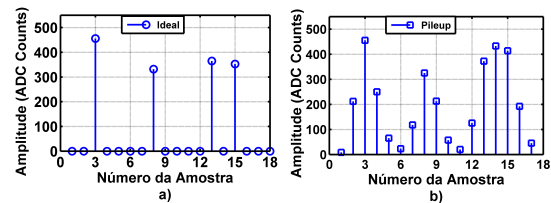


Figura 7: Exemplos de sinais simulados do Tilecal a) sem empilhamento e b) com empilhamento.

Foram realizadas análises referentes ao erro médio e à raiz quadrada do erro quadrático médio. Considerou-se os resultados obtidos com as implementações no FPGA e no MATLAB®. As Tabelas 1 e 2 mostram os resultados alcançados variando a ordem do filtro entre 5, 10, 15, 20 e 30. De acordo com esses resultados, observa-se que a ordem 20 teve um melhor desempenho.

Tabela 1: Valor médio do erro

Ordem do Filtro	FPGA (ADC counts)	Matlab (ADC counts)
Ordem 5	-0,9727	-1,0981
Ordem 10	0,5128	0,3914
Ordem 15	0,2160	0,0903
Ordem 20	0,0988	-0,0317
Ordem 30	0,3552	0,2176

A Figura 8 apresenta o resultado da implementação em FPGA utilizando filtros de ordem 20. Esse gráfico foi gerado considerando os sinais

Tabela 2: Raiz Quadrada do Erro Quadr tico M dio

Ordem do Filtro	FPGA(ADC counts)	Matlab(ADC counts)
Ordem 5	24,95	24,95
Ordem 10	19,86	19,85
Ordem 15	19,33	19,32
Ordem 20	19,21	19,20
Ordem 30	20,30	20,29

resultantes da filtragem em FPGA e tamb m os sinais simulados ideais de energia. Sendo assim, comparando o resultado da reconstru  o de cada *Bunch Crossing* com o seu respectivo valor ideal.

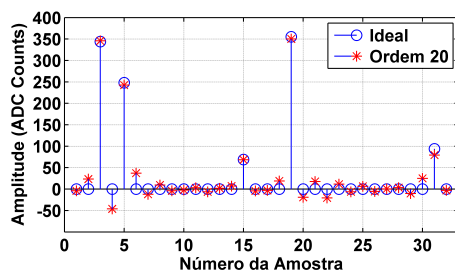


Figura 8: Sinal de sa da do filtro de ordem 20 implementado em FPGA comparado ao sinal ideal.

Foram desenvolvidas, tamb m, an lises gr ficas referentes ao erro. A Figura 9 a) ilustra o gr fico de dispers o entre os resultados da simula  o da implementa  o FPGA, utilizando o filtro de ordem 20, e os valores ideais de energia simulados dos sensores. A Figura 9 b) apresenta o gr fico de dispers o constru do a partir dos resultados do MATLAB  e do FPGA, considerando a mesma ordem de filtro. Atrav s desta an lise, pode-se observar que o sistema desenvolvido para o dispositivo FPGA apresentou comportamento bastante semelhante ao do modelo de refer ncia.

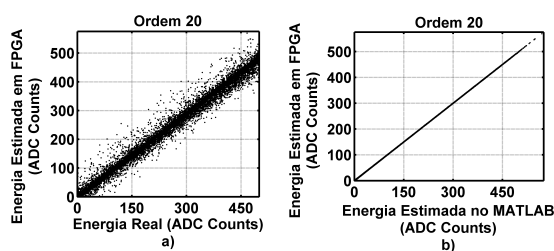


Figura 9: Gr ficos de dispers o entre a energia estimada pela implementa  o em FPGA e a) energia real, e b) energia estimada pela implementa  o em MATLAB

Em rela  o ao comportamento temporal, o sistema foi simulado com uma frequ ncia de clock de 800MHz. Esse sistema utiliza 144 ciclos de *clock* para processar as amostras dos canais referentes a uma colis o, ou seja, s o necess rios 180ns. Considerando a ocorr ncia de uma colis o a cada 25ns, s o necess rias aproximadamente 8 colis es para se obter os sinais filtrados.

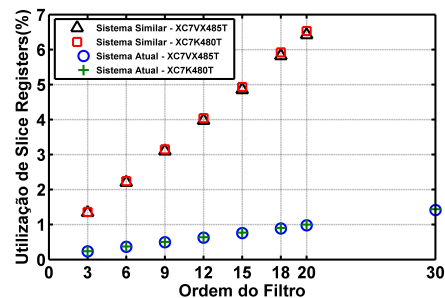


Figura 10: Utiliza  o de *Slice Register*.

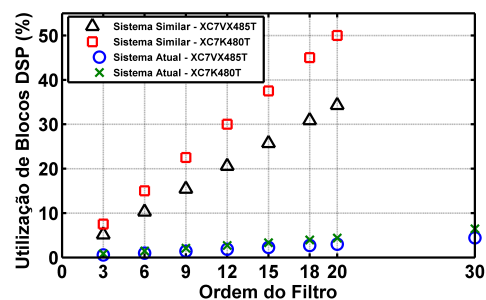


Figura 11: Utiliza  o de blocos de *DSP*.

Em rela  o   ocupa  o de recursos dos dispositivos FPGA, a Figura 10 apresenta a utiliza  o da l gica configur vel (*Slice Register*), enquanto que a Figura 11 mostra a utiliza  o das estruturas de opera  es l gicas e aritm ticas (*DSP*), em ambas variou-se a ordem do filtro. Essas an lises tiveram como alvo ambos os dispositivos da Xilinx, tanto o Virtex-7 como o Kintex-7. A partir desses gr ficos, observa-se que a arquitetura proposta nesse trabalho utiliza menos recursos dos dispositivos FPGAs do que uma solu  o similar, anteriormente proposta (Cavalcanti et al., 2014). Essa outra implementa  o possui uma estrutura de filtro para cada canal de medi  o, utilizando, assim, muitas estruturas de DSP e l gica reconfigur vel, as quais ficam ociosas durante determinados per odos de seu funcionamento. No sistema proposto nesse trabalho, compartilharam-se as estruturas de *DSP* entre os filtros e tamb m foi otimizado o caminho dos sinais de energia atrav s das t cnicas de *pipeline* e m ltiplos *clocks*.

6 Conclus es

Esse trabalho prop e a reconstru  o de um sinal com sobreposi  o atrav s de uma implementa  o em FPGA de Filtro Digital do tipo FIR projetado de acordo com um m todo determin stico. Atrav s da an lise dos resultados da filtragem do sinal, pode-se observar que o mesmo foi reconstru do de forma satisfat ria. Essa an lise pode ser confirmada observando os gr ficos dos erros, onde constata-se a efici ncia e o comportamento esperado do sistema FPGA implementado. Como

trabalho futuro, propõe-se utilizar outro tipo de projeto de Filtro, dessa vez considerando um método iterativo.

Agradecimentos

Os autores agradecem à FAPESB, FAPERJ, CAPES, CNPq e RENAFAP (MCTI) pelo apoio financeiro e à colaboração ATLAS pelas contribuições para o desenvolvimento deste trabalho.

Referências

- Aad, G., Abat, E., Abdallah, J. et al. (2008). The ATLAS experiment at the cern large hadron collider, *Journal of Instrumentation* **3**(8).
- Aad, G., Abbott, B., Abdallah, J. et al. (2010). Readiness of the ATLAS tile calorimeter for LHC collisions, *The European Physical Journal C* **70**(4): 1193–1236.
- Cavalcanti, M. M., Filho, E. F. S., Farias, P. C. M. A. et al. (2014). Sistema digital para redução do empilhamento em medições de energia num detector de partículas, *Anais do XX Congresso Brasileiro de Automática* pp. 456–463.
- Constantinides, G. A., Cheung, P. Y. K. and Luk, W. (2003). Synthesis of saturation arithmetic architectures, *ACM Trans. Des. Autom. Electron. Syst.* **8**(3): 334–354.
- Duarte, J. P. B. S. (2015). *Estudo de técnicas de deconvolução para reconstrução de energia online no calorímetro hadrônico do ATLAS*, Master's thesis, Programa de Pós Graduação em Engenharia Elétrica / UFJF.
- Evans, L. and Bryant, P. (2008). LHC machine, *Journal of Instrumentation* **3**(08): S08001.
- Fernow, R. C. (1986). *Introduction to Experimental Particle Physics*, Cambridge University Press, New York, USA.
- Filho, E. F. S. (2010). *Análise não-linear de componentes independentes para uma filtragem online baseada em calorimetria de alta energia e com fina segmentação*, PhD thesis, Electrical Engineering Program / COPPE / UFRJ, Rio de Janeiro, BR.
- Gnanasekaran, M. and Manikandan, M. (2013). High throughput pipelined implementation of reconfigurable FIR filter for sdr, *Current Trends in Engineering and Technology (IC-CTET), 2013 International Conference on*, IEEE, pp. 362–364.
- Lyons, R. G. (2011). *Understanding Digital Signal Processing*, third edn, Prentice Hall, Boston, MA, USA.
- Martin, B. R. (2009). *Nuclear and Particle Physics: An Introduction*, second edn, Wiley, USA.
- Meyer-Baese, U. (2007). *Digital Signal Processing with Field Programmable Gate Arrays*, third edn, Springer, Tallahassee, Florida, USA.
- Xilinx (2015). *7 Series FPGAs Overview*. v1.17.