

ANÁLISE DE INVERSORES MULTINÍVEIS MONOFÁSICOS ASSIMÉTRICOS COM CAPACITORES FLUTUANTES

JULIAN C. GIACOMINI, GABRIEL A. SACCOL, CASSIANO RECH

*Grupo de Eletrônica de Potência e Controle, Universidade Federal de Santa Maria
Av. Roraima, 1000, Camobi, Cidade Universitária, 97105-900, Santa Maria, RS, Brasil
{julian.c.giacomini, saccol.gabriel, rech.cassiano}@gmail.com*

MANUEL CISNEROS

*Grupo en Energías Renovables, FaCENA-UNNE
Av. Libertad, 5470 – 3400, Corrientes, Argentina
manuelcisneros144@gmail.com*

Abstract— This paper presents a comprehensive analysis of single-phase full-bridge asymmetrical flying capacitor multilevel inverters under distinct capacitor voltage values. The asymmetrical operation of the proposed inverter is explored to increase the output voltage levels for the same number of semiconductors, and a formation rule for the flying capacitor voltages is defined according to the desired number of levels. The impact of different flying capacitor voltages on the semiconductor ratings and the voltage balance problem of the flying capacitors are also addressed. Experimental results are included to validate the theoretical analysis.

Keywords— Multilevel inverters, asymmetrical inverters, flying capacitor.

Resumo— Este artigo apresenta uma análise detalhada de inversores multiníveis monofásicos com capacitores flutuantes, em uma estrutura ponte completa, empregando diferentes valores de tensão nos capacitores. A operação assimétrica do inversor proposto é explorada para aumentar o número de níveis na tensão de saída usando o mesmo número de semicondutores, onde uma lei de formação para as tensões dos capacitores flutuantes é definida de acordo com o número desejado de níveis. O impacto de diferentes valores de tensão dos capacitores flutuantes nas especificações dos semicondutores é abordado, assim como o problema da regulação de tensão nos capacitores. Resultados experimentais são incluídos para validar a análise teórica.

Palavras-chave— Inversores multiníveis, inversores assimétricos, capacitor flutuante.

1 Introdução

Conversores multiníveis têm sido usados em muitas aplicações nos últimos anos devido à sua capacidade de operar com elevados níveis de tensão, mesmo empregando semicondutores de baixa tensão (Kouro et al, 2010). Além disso, conversores multiníveis podem sintetizar formas de onda com um grande número de níveis, reduzindo significativamente seus conteúdos harmônicos e o tamanho dos filtros passivos. Até o momento, as topologias multiníveis clássicas são: conversores com diodos de grameamento, conversores com capacitores flutuantes, conversores com células em cascata (Amini e Abedini, 2013) e conversores multiníveis modulares (Mei et al, 2013).

Uma alternativa para sintetizar um maior número de níveis, sem aumentar o número de semicondutores, é o uso de conversores multiníveis assimétricos, que empregam fontes e/ou capacitores com valores de tensão diferentes (Gautam et al, 2016). Dessa forma, é possível reduzir a distorção harmônica das formas de onda sintetizadas, diminuindo ou mesmo eliminando filtros passivos. Entretanto, os dispositivos semicondutores de conversores multiníveis assimétricos são submetidos a níveis de tensão distintos, que usualmente conduz a conversores multiníveis híbridos, fazendo uso de diferentes tecnologias de semicondutores e/ou estratégias de modulação (Rech e Pinheiro, 2007). O conversor multinível em cascata pode operar como um conversor multiní-

vel assimétrico ao utilizar fontes de tensão CC isoladas com valores diferentes para as células de potência (Sadigh et al, 2015). Por outro lado, o conversor multinível com capacitores flutuantes também é adequado para operação assimétrica, uma vez que possui estados de comutação redundantes que podem ser utilizados para gerar níveis adicionais de tensão na saída. Adicionalmente, o conversor com capacitores flutuantes não necessita de fontes de tensão CC isoladas como na topologia em cascata.

Alguns trabalhos abordam a operação assimétrica de conversores multiníveis com capacitores flutuantes. Em (Kou et al, 2002), uma combinação binária foi considerada para aumentar o número de níveis sintetizado por uma fase do conversor com capacitores flutuantes. Entretanto, fontes de tensão CC foram utilizadas ao invés de capacitores, devido à dificuldade para regulação da tensão dos capacitores flutuantes. Posteriormente, as fontes de tensão CC foram substituídas por capacitores em (Corzine e Kou, 2003) em um inversor trifásico, onde a regulação das tensões foi garantida para alguns valores de índice de modulação e fator de potência. Uma versão trifásica de um conversor com três células de capacitores flutuantes foi apresentada em (Huang e Corzine, 2006), explorando os estados redundantes que existem para sintetizar as tensões de linha no intuito de regular as tensões dos capacitores flutuantes. Contudo, a operação com o máximo número de níveis é alcançada somente para cargas com baixo fator de potência. Esse problema foi

superado usando um controle preditivo aplicado ao conversor com três células de capacitores flutuantes (Lezana et al, 2009). Pode-se observar que existem diversos trabalhos que usam topologias baseadas em capacitores flutuantes, incluindo estruturas assimétricas. Porém, apenas um conjunto limitado de valores de tensões nos capacitores flutuantes é normalmente empregado, de forma que a capacidade de gerar um maior número de níveis não é totalmente explorada.

Assim, este artigo apresenta uma análise da operação assimétrica de inversores multiníveis monofásicos com capacitores flutuantes, em uma estrutura ponte completa, submetidos a diferentes valores de tensão. Diversas opções para as tensões dos capacitores são exploradas para maximizar o número de níveis sintetizados com o mesmo número de semicondutores. Os impactos dessas configurações nas tensões sobre os interruptores assim como na regulação da tensão dos capacitores também são abordados. Resultados experimentais são apresentados para comprovar o desempenho do conversor multinível.

2 Descrição da Topologia

O inversor multinível é mostrado na Figura 1. Consiste em um inversor monofásico em ponte completa, onde cada perna possui um capacitor flutuante e quatro interruptores bidirecionais em corrente. Cada perna do inversor (perna a e perna b) pode sintetizar até quatro níveis distintos.

Para simplificar a análise, todas as tensões no inversor são normalizadas em relação à metade da tensão total do barramento CC, ou seja, $v_{dc} = 1$ pu. Assim, considerando a perna a , a tensão sintetizada v_{ao} pode apresentar os seguintes níveis normalizados:

$$v_{ao} = \{-1, v_1 - 1, 1 - v_1, 1\} \quad (1)$$

onde v_1 é a tensão nominal normalizada do capacitor flutuante C_1 , que está conectada na perna a . Similarmente, a tensão sintetizada pelo perna b , v_{bo} , pode apresentar os seguintes níveis normalizados:

$$v_{bo} = \{-1, v_2 - 1, 1 - v_2, 1\} \quad (2)$$

onde v_2 é a tensão nominal normalizada do capacitor flutuante C_2 , que está conectada na perna b . A forma de obtenção destes níveis é mostrada na Tabela 1. Portanto, é possível obter um total de 16 combinações para a tensão de saída v_o , como ilustrado na Tabela 2, ao associar as tensões das pernas a e b .

A configuração simétrica clássica é obtida ao adotar $v_1 = v_2 = 1$ pu. Neste caso, as tensões de bloqueio de todos os interruptores são iguais à v_{dc} , e a tensão de saída possui até cinco níveis. Por outro lado, é possível aumentar o número de níveis da tensão de saída se outros valores para as tensões dos capacitores flutuantes forem definidos. Pode-se verificar que diferentes números de níveis podem ser

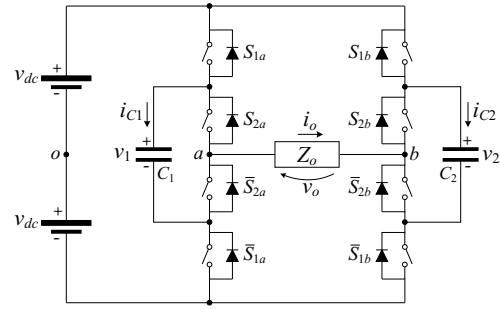


Figura 1. Inversor multinível monofásico com capacitores flutuantes.

Tabela 1. Níveis de tensão sintetizados pelas pernas do inversor.

Interruptor ($k = a, b$)	v_{ao} (pu)	v_{bo} (pu)
$S_{1k} = S_{2k} = 1$	1	1
$S_{1k} = 1, S_{2k} = 0$	$1 - v_1$	$1 - v_2$
$S_{1k} = 0, S_{2k} = 1$	$v_1 - 1$	$v_2 - 1$
$S_{1k} = S_{2k} = 0$	-1	-1

Tabela 2. Níveis de tensão sintetizados na saída do inversor.

v_{ao}	v_{bo}	v_o
1	1	0
1	$1 - v_2$	v_2
1	$v_2 - 1$	$2 - v_2$
1	-1	2
$1 - v_1$	1	$-v_1$
$1 - v_1$	$1 - v_2$	$v_2 - v_1$
$1 - v_1$	$v_2 - 1$	$2 - v_1 - v_2$
$1 - v_1$	-1	$2 - v_1$
$v_1 - 1$	1	$v_1 - 2$
$v_1 - 1$	$1 - v_2$	$v_1 + v_2 - 2$
$v_1 - 1$	$v_2 - 1$	$v_1 - v_2$
$v_1 - 1$	-1	v_1
-1	1	-2
-1	$1 - v_2$	$v_2 - 2$
-1	$v_2 - 1$	$-v_2$
-1	-1	0

sintetizados, dependendo dos valores de v_1 e v_2 . Contudo, primeiramente, a seguinte restrição deve ser satisfeita para permitir o uso de interruptores unidirecionais em tensão para $S_{1a}, \bar{S}_{1a}, S_{1b}$ and $\bar{S}_{1b}$:

$$v_x \leq 2 \text{ pu}, \quad x = 1, 2. \quad (3)$$

Então, é possível definir dois casos diferentes para as tensões dos capacitores flutuantes, que são descritos nas próximas seções: $v_1 > v_2$ e $v_1 = v_2$.

2.1 Caso I: $v_1 > v_2$

Neste caso, a tensão no capacitor C_1 é maior que a tensão no capacitor C_2 , e a seguinte restrição deve ser satisfeita para que a tensão de saída seja sintetizada com níveis igualmente espaçados:

$$v_1 = 2v_2. \quad (4)$$

Além disso, a tensão v_2 pode ser obtida a partir do número desejado de níveis da tensão de saída (m):

$$v_2 = \frac{4}{m-1}, \quad m = 7, 9, 11, 13. \quad (5)$$

Para esta situação, o número máximo de níveis é 13, enquanto que o mínimo é 7. O conjunto de valores para a tensão de saída pode ser obtido por:

$$v_o = \left\{ 2 - \frac{4}{m-1}k \right\}, \quad k = 0, 1, \dots, m-1. \quad (6)$$

Por exemplo, considerando que $m = 13$, as tensões normalizadas dos capacitores flutuantes devem ser $v_1 = 2/3$ e $v_2 = 1/3$, resultando no seguinte conjunto de níveis para a tensão de saída:

$$v_o = \left\{ 2, \frac{5}{3}, \frac{4}{3}, 1, \frac{2}{3}, \frac{1}{3}, 0, \dots, -2 \right\}. \quad (7)$$

Pode-se observar que existe um significativo aumento no número de níveis da tensão de saída, se comparado com a configuração simétrica. Uma vez determinado o número desejado de níveis, as tensões normalizadas dos capacitores flutuantes podem ser obtidas através de (4) e (5), e o respectivo conjunto dos níveis de tensão na saída usando (6).

2.2 Caso II: $v_1 = v_2$

As tensões nominais dos capacitores flutuantes são as mesmas para este caso. Similarmente ao caso I, a tensão normalizada do capacitor C_2 é obtida por:

$$v_2 = \frac{4}{m-1}, \quad m = 5, 7, 9. \quad (8)$$

Contudo, o máximo número de níveis nesta situação é 9, enquanto que o mínimo é 5. Pode-se observar que a configuração simétrica é obtida para $m = 5$, tal que $v_1 = v_2 = 1$ pu. O conjunto de possíveis valores para a tensão de saída também é dado por (6).

Baseado nisso, todas as possíveis combinações que podem ser geradas a partir dos casos I e II estão sumarizadas na Tabela 3.

3 Análise das Tensões nos Interruptores

Uma desvantagem das configurações multiníveis assimétricas é que os interruptores de potência não são submetidos aos mesmos níveis de tensão. Consequentemente, uma análise criteriosa das tensões de bloqueio nos interruptores é realizada nesta seção para o inversor monofásico assimétrico com capaci-

Tabela 3. Tensões dos capacitores dos flutuantes para diferentes números de níveis (m).

m	v_1 (pu)	v_2 (pu)
5	1	1
7	2/3	2/3
	4/3	2/3
9	1/2	1/2
	1	1/2
11	4/5	2/5
13	2/3	1/3

tores flutuantes. Seguindo com a análise normalizada, as tensões de bloqueio dos interruptores dependem essencialmente das tensões nos capacitores flutuantes, e são dadas por:

$$v_{S1a} = v_{\bar{S}1a} = 2 - v_1 \quad (9)$$

$$v_{S2a} = v_{\bar{S}2a} = v_1 \quad (10)$$

$$v_{S1b} = v_{\bar{S}1b} = 2 - v_2 \quad (11)$$

$$v_{S2b} = v_{\bar{S}2b} = v_2. \quad (12)$$

As tensões de bloqueio dos interruptores da perna a , em função do número de níveis de saída, são mostradas na Figura 2(a). É possível verificar em ambos os casos (casos I e II) que as tensões de bloqueio dos interruptores externos (S_{1a} e $\bar{S}_{1a}$) crescem com o aumento do número de níveis. Por outro lado, os interruptores internos (S_{2a} e $\bar{S}_{2a}$) são submetidos a menores níveis de tensão com o aumento do número de níveis. O comportamento é similar para ambos os casos, mas, para o caso I, as tensões de bloqueio dos interruptores externos são menores, sendo até menores que as tensões dos interruptores externos para $m = 7$.

As tensões de bloqueio dos interruptores $\bar{S}_{1b}$ e $\bar{S}_{2b}$ são iguais, respectivamente às tensões dos interruptores S_{1b} e S_{2b} . Similarmente a perna a , as tensões de bloqueio dos interruptores externos (S_{1b} e $\bar{S}_{1b}$) aumentam com o número de níveis, enquanto que dos interruptores internos (S_{2b} e $\bar{S}_{2b}$) diminuem com o aumento do número de níveis, como pode ser observado na Figura 2(b).

Pode-se observar que diferentes valores de tensão nos capacitores flutuantes resultam em diferentes tensões de bloqueio nos interruptores. Assim, o seguinte índice de mérito (IM) foi definido em uma tentativa de definir qual configuração apresenta a melhor distribuição das tensões de bloqueio:

$$IM = \sum_{x=1}^2 (|v_{Sxa} - 1| + |v_{Sxb} - 1|) \quad (13)$$

onde v_{Sxa} e v_{Sxb} são as tensões de bloqueio dos interruptores S_{xa} e S_{xb} , respectivamente, para $x = 1, 2$. Este índice objetiva avaliar o impacto da assimetria nas tensões de bloqueio dos interruptores para diferentes número de níveis. Por exemplo, para a configuração simétrica ($m = 5$), as tensões de bloqueio

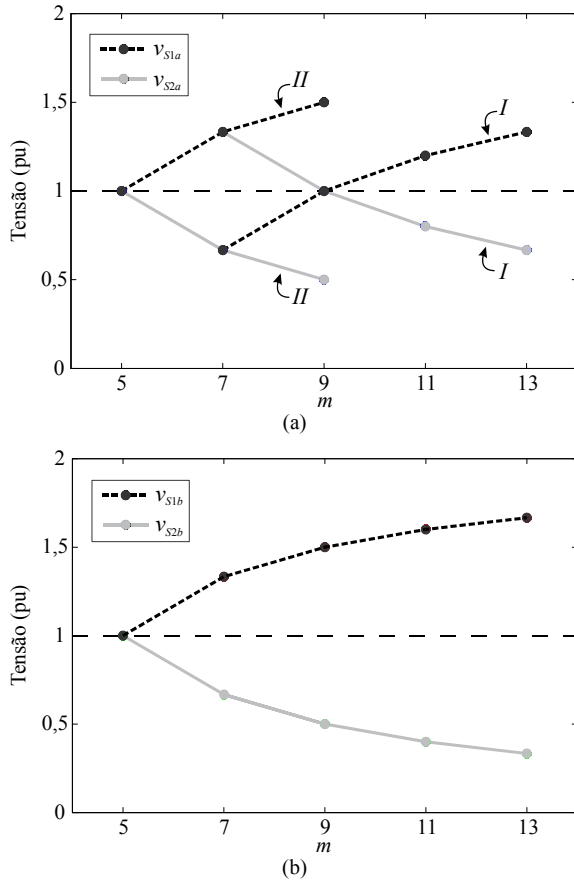


Figura 2. Tensões de bloqueio dos interruptores em função do número de níveis: (a) Perna a, (b) Perna b.

dos interruptores são $v_{S1a} = v_{S2a} = v_{S1b} = v_{S2b} = 1$ pu, resultando em $IM = 0$. Então, para um dado número de níveis, a melhor configuração assimétrica deve apresentar o menor IM , segundo este índice.

A representação gráfica de IM é mostrada na Figura 3, em função do número de níveis na saída. A configuração assimétrica de 9 níveis com $v_1 = 2v_2$ apresenta o menor IM dentre as configurações assimétricas. Isto ocorre porque a perna a possui uma configuração simétrica, tal que $v_1 = v_{S1a} = v_{S2a} = 1$ pu, conforme Figura 2(a). Além disso, a perna b possui dois interruptores com tensões de bloqueio de 0,5 pu e outras duas com 1,5 pu, como ilustrado na Figura 2(b).

4 Regulação de Tensão dos Capacitores Flutuantes

Para o correto funcionamento do inversor multi-nível com capacitores flutuantes é indispensável que as tensões dos capacitores permaneçam reguladas em torno dos seus valores nominais. Contudo, essas tensões podem divergir, dependendo da estratégia de modulação, do índice de modulação de amplitude e do fator de potência da carga. Assim, uma técnica de regulação deve ser empregada para restabelecer as tensões aos seus valores nominais. Uma alternativa é usar os estados de comutação redundantes do inversor, que sintetizam o mesmo nível de tensão na saída, mas com diferentes contribuições para as correntes dos capacitores. Portanto, uma análise detalhada deve ser

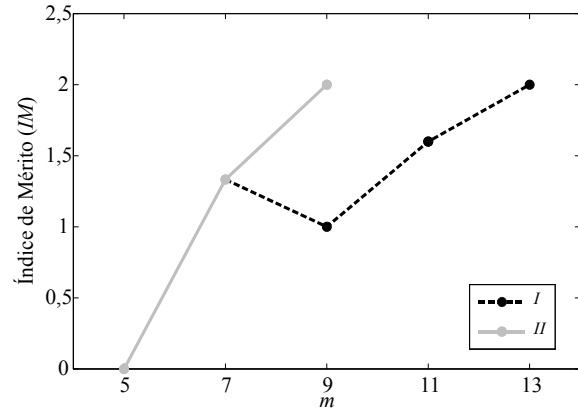


Figura 3. Índice de mérito para tensões de bloqueio dos interruptores.

realizada para garantir a regulação das tensões dos capacitores flutuantes. A análise desta seção aborda a regulação de tensão dos capacitores de um inversor de 9 níveis com $v_1 = 1$ pu e $v_2 = 0,5$ pu, mas pode ser estendida para as demais configurações de tensão.

A tensão de saída sintetizada por esse inversor possui nove níveis igualmente espaçados, como destacado na Tabela 4. Aplicando o conceito de modulação vetorial, pode-se observar a existência de quatro vetores positivos ($v_{p1}, v_{p2}, v_{p3}, v_{p4}$), quatro vetores negativos ($v_{n1}, v_{n2}, v_{n3}, v_{n4}$) e um nulo (v_0), como mostrado na Figura 4. Pode-se verificar que o espaço da tensão de saída é dividido em oito setores, sendo que, para cada setor, a tensão de saída pode ser sintetizada usando os dois vetores mais próximos da referência durante um período de amostragem. Por exemplo, se o vetor de referência $v_{o,ref}$ está localizado no setor 7, os vetores v_{p2} e v_{p3} podem ser utilizados para sintetizar o valor médio desejado da tensão de saída em um período de amostragem:

$$\bar{v}_o = d_2 v_{p2} + d_3 v_{p3} \quad (14)$$

onde d_2 e d_3 são as razões cíclicas dos vetores v_{p2} e v_{p3} , respectivamente.

Sem perda de generalidade, apenas os vetores positivos serão analisados na regulação de tensão. Isto é válido porque a contribuição dos vetores negativos nas correntes dos capacitores flutuantes é a mesma (em módulo) que a dos vetores positivos. Baseado nesse fato, os vetores positivos e seu impacto nas correntes dos capacitores são apresentados na Tabela 5, considerando a corrente de carga positiva, como definido na Figura 1. As setas da Tabela 5 se referem à carga ($\uparrow$) e descarga ($\downarrow$) do capacitor. O símbolo $\rightarrow$ indica que não há corrente fluindo pelo capacitor.

Embora o vetor v_0 tenha dois estados redundantes (v_0^1, v_0^2), o mesmo não afeta as tensões dos capacitores, pois não há corrente circulando pelos capacitores com a aplicação desses estados. Por outro lado, o vetor v_{p1} tem três estados redundantes ($v_{p1}^1, v_{p1}^2, v_{p1}^3$) e o vetor v_{p2} tem dois estados redundantes (v_{p2}^1, v_{p2}^2). O vetor v_{p3} não tem estados redundantes e afeta a tensão do capacitor C_2 . Finalmente, o vetor v_{p4} também não possui

Tabela 4. Vetores de saída para $m = 9$.

v_{n4}	v_{n3}	v_{n2}	v_{n1}	v_0	v_{p1}	v_{p2}	v_{p3}	v_{p4}
-2	-3/2	-1	-1/2	0	1/2	1	3/2	2

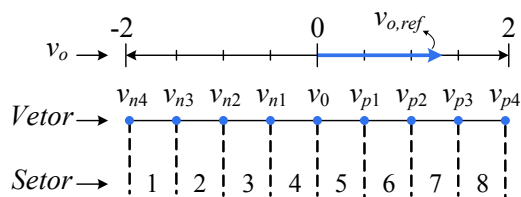


Figura 4. Espaço da tensão de saída para $m = 9$.

estados redundantes, mas não afeta as tensões de qualquer capacitor flutuante. Portanto, os estados redundantes do inversor podem ser usados para realizar a regulação de tensão dos capacitores.

Pode-se verificar na Tabela 5 que o capacitor C_1 não tem problemas de regulação de tensão, sendo possível inclusive eliminar a ondulação de tensão em baixa frequência. Isto pode ser feito ao ajustar o tempo de aplicação dos estados redundantes dos vetores v_{p1} e v_{p2} em um período de amostragem, uma vez que os mesmos apresentam impactos contrários na carga e descarga do capacitor C_1 . Por exemplo, quando é necessário aplicar o vetor v_{p2} , a razão cíclica d_2 pode ser igualmente distribuída entre os vetores v_{p1}^1 e v_{p2}^2 , ou seja, $d_2^1 = d_2^2 = d_2/2$. Como resultado, a contribuição do vetor v_{p2} na corrente média do capacitor C_1 em um período de amostragem é nula. Em relação ao vetor v_{p1} , se o estado v_{p1}^3 é usado, a contribuição para a corrente média do capacitor C_1 é nula. Entretanto, se for necessário carregar o capacitor C_2 , os estados v_{p1}^1 e v_{p2}^2 podem ser utilizados, mas garantindo que os tempos de aplicação desses estados sejam iguais para que a contribuição total do vetor v_{p1} na corrente média do capacitor C_1 seja nula. Logo, a tensão do capacitor C_1 permanece regulada usando esta abordagem, independente do ponto de operação do inversor (índice de modulação de amplitude e fator de potência da carga).

Por outro lado, a regulação de tensão do capacitor C_2 apresenta algumas restrições. A principal fonte de desequilíbrio é o uso do vetor v_{p3} , uma vez que ele afeta a corrente média do capacitor C_2 e não tem estados redundantes. Uma alternativa para manter a tensão de C_2 regulada é o uso adequado dos estados redundantes do vetor v_{p1} , que contribui com uma parcela controlada na corrente média do capacitor C_2 . Entretanto, a contribuição desse vetor na corrente média do capacitor C_2 e, portanto, a regulação da tensão do mesmo dependem do índice de modulação de amplitude e do fator de potência na carga (FP).

5 Resultados

Resultados experimentais foram obtidos usando os parâmetros da Tabela 6. As tensões utilizadas para os capacitores flutuantes resultam na configuração de

Tabela 5. Impacto dos vetores positivos nos capacitores flutuantes, considerando $i_o > 0$, $m = 9$, $v_1 = 1$ pu and $v_2 = 0,5$ pu.

Vetor	Estado	(v_{ao}, v_{bo})	v_o	C_1	C_2
v_0	v_0^1	$(-1, -1)$	0	→	→
	v_0^2	$(1, 1)$		→	→
v_{p1}	v_{p1}^1	$(1 - v_1, v_2 - 1)$	$\frac{1}{2}$	↑	↑
	v_{p1}^2	$(v_1 - 1, v_2 - 1)$		↓	↑
	v_{p1}^3	$(1, 1 - v_2)$		→	↓
v_{p2}	v_{p2}^1	$(1 - v_1, -1)$	1	↑	→
	v_{p2}^2	$(v_1 - 1, -1)$		↓	→
v_{p3}		$(1, v_2 - 1)$	$\frac{3}{2}$	→	↑
v_{p4}		$(1, -1)$	2	→	→

↑ (carga), ↓ (descarga), → (não modificado)

9 níveis na tensão de saída. O controle das tensões nos capacitores flutuantes foi realizado a partir da correta aplicação dos estados redundantes.

Na Figura 5 são mostradas a tensão de saída e as tensões geradas nas pernas do inversor para a carga 1 e para índice de modulação em amplitude (m_a) unitário. Verifica-se a capacidade do inversor em sintetizar um elevado número de níveis na saída ($m = 9$). A Figura 6 ilustra os resultados da regulação de tensão nos capacitores flutuantes para a carga 1 (FP = 0,1) mediante degrau no índice de modulação ($m_a = 0,5 \rightarrow m_a = 1$). Verifica-se que as tensões nos capacitores flutuantes se mantêm reguladas mesmo para um elevado m_a . Na Figura 7 são mostrados os resultados obtidos para a carga 2 (FP = 0,9) mediante o mesmo degrau em m_a . Observa-se que a regulação de tensão em C_2 para uma carga com elevado FP somente é obtida para baixos valores de m_a . A partir das Figuras 6 e 7 também é possível verificar que a tensão no capacitor C_1 se mantém regulada e isenta de ondulações de baixa frequência independentemente do ponto de operação. A partir destes resultados percebe-se que o inversor assimétrico com capacitores flutuantes pode ser usado em aplicações que requerem baixo fator de potência, como na compensação de reativos, uma vez que se garante a regulação de tensão de ambos os capacitores flutuantes com um elevado número de níveis na saída.

6 Conclusões

Este artigo apresentou uma descrição generalizada de um conversor multinível assimétrico monofásico com capacitores flutuantes, utilizando diferentes configurações de tensão nos capacitores. Através de análise e dos resultados apresentados pode-se concluir que é possível aumentar o número de níveis sintetizados pelo conversor com capacitores flutuantes, sem a necessidade de aumentar o número de interruptores. Também foi feita uma análise dos esforços de tensão

Tabela 6. Parâmetros do inversor implementado.

Parâmetro	Valor
Tensão de entrada (v_{dc})	30 V
Tensão capacitor C_1 (v_1)	30 V
Tensão capacitor C_2 (v_2)	15 V
Capacitância C_1	1 mF
Capacitância C_2	4,7 mF
Freq. de comutação (f_s)	2,5 kHz
Carga 1	$1 + 9,42j$ (FP = 0,1)
Carga 2	$20 + 9,42j$ (FP = 0,9)

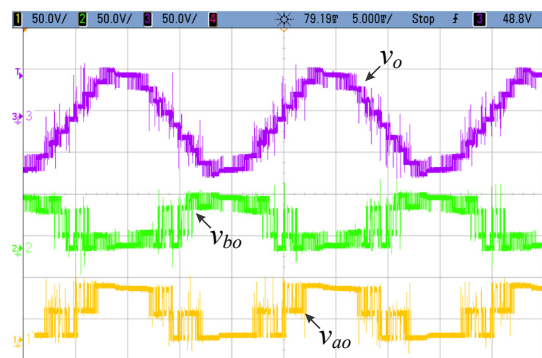


Figura 5. Tensão de saída e tensão das pernas para a carga 1 e $m_a = 1$.

nos interruptores, sendo proposto um índice de mérito para avaliação do impacto da assimetria nas tensões de bloqueio dos interruptores. Um inversor de 9 níveis foi implementado e os resultados demonstraram o bom desempenho da topologia sob análise. Dessa forma, os autores entendem que as topologias assimétricas analisadas neste trabalho constituem uma boa opção quando se deseja sintetizar um maior número de níveis, principalmente em aplicações que requerem baixo fator de potência, como na compensação de reativos.

Agradecimentos

Os autores agradecem a CAPES e ao CNPq pelo suporte financeiro.

Referências Bibliográficas

Amini, J., Abedini, A. (2013). A Straightforward Close-Loop Control Strategy for a Single-Phase Asymmetrical Flying Capacitor Multilevel Inverter. In Proc. PEDSTC 2013, pp. 153-157.

Corzine, K. A. and Kou, X. (2003). Capacitor Voltage Balancing in Full Binary Combination Schema Flying Capacitor Multilevel Inverters. IEEE Power Electronics Letters, Vol. 1, No. 1, pp. 2-5.

Gautam, S. P., Sahu, L. K. Gupta, S. (2016). Reduction in number of devices for symmetrical and asymmetrical multilevel inverters. IET Power Electronics, Vol. 9, No. 4, pp. 698-709.

Huang, J. and Corzine, K. A. (2006). Extended Operation of Flying Capacitor Multilevel Inverters. IEEE Transactions on Power Electronics, Vol. 21, No. 1, pp. 140-147.

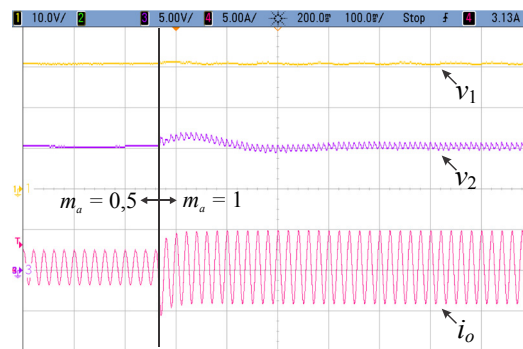


Figura 6. Resultados para a carga 1 ($m_a = 0,5 \rightarrow m_a = 1$). v_1 (canal 1 – 10 V/div), v_2 (canal 3 – 5 V/div), i_o (canal 4 – 5 A/div).

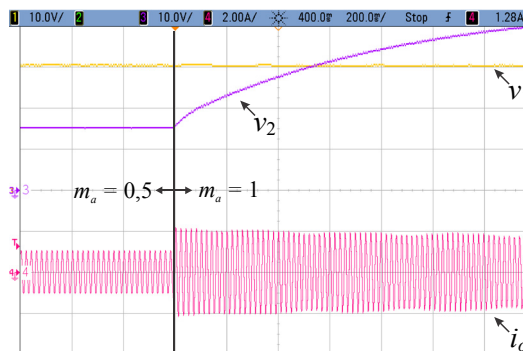


Figura 7. Resultados para a carga 2 ($m_a = 0,5 \rightarrow m_a = 1$). v_1 (canal 1 – 10 V/div), v_2 (canal 3 – 10 V/div), i_o (canal 4 – 2 A/div).

Kou, X., Corzine, K. A. and Familant, Y. L. (2002). Full Binary Combination Schema for Floating Voltage Source Multilevel Inverters. IEEE Transactions on Power Electronics, Vol. 17, No. 6, pp. 891-897.

Kouro, S., Malinowski, M., Gopakumar, K., Pou, P., Franquelo, L. G., Wu, B., Rodriguez, J., Perez, M. A. and Leon, J. I. (2010). Recent Advances and Industrial Applications of Multilevel Converters. IEEE Transactions on Industrial Electronics, Vol. 57, No. 8, pp. 2553-2580.

Lezana, P., Aguilera, R. and Quevedo, D. E. (2009). Model Predictive Control of a Asymmetric Flying Capacitor Converter. IEEE Transactions on Industrial Electronics, Vol. 56, No. 6, pp. 1839-1846.

Mei, J., Xiao, B., Shen, K., Tolbert, L. M. and Zheng, J. Y. (2013). Modular Multilevel Inverter with New Modulation Method and Its Application to Photovoltaic Grid-Connected Generator. IEEE Transactions on Power Electronics, Vol. 28, No. 11, pp. 5063-5073.

Rech, C. and Pinheiro, J. R. (2007). Hybrid Multilevel Converters: Unified Analysis and Design Considerations. IEEE Transactions on Industrial Electronics, Vol. 54, No. 2, pp. 1092-1103.

Sadigh, A. K., Abarzadeh, M., Corzine, K. A., Dargahi, V. (2015). A New Breed of Optimized Symmetrical and Asymmetrical Cascaded Multilevel Power Converters. IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 3, No. 4, pp. 1160-1170.