

WATTÍMETRO EXPERIMENTAL BASEADO NA MULTIPLICAÇÃO ANALÓGICA DE SINAIS EMPREGANDO UM MODULADOR A CAPACITOR CHAVEADO

MATEUS B. CASTRO, ESTÊVÃO C. TEIXEIRA

*Faculdade de Engenharia, Universidade Federal de Juiz de Fora
Campus da UFJF, bairro Martelos, 36036-330
Juiz de Fora – MG, Brasil*

E-mails: mateus.castro@engenharia.ufjf.br, estevao.teixeira@ufjf.edu.br

Abstract— This work discusses an approach for analog signal multiplication that uses a switched capacitor circuit, associated to a pulse width modulation strategy. The topology is described, followed by a mathematical analysis. This demonstrates that it is possible, after a proper filtering, to produce a signal proportional to the product of the two input signals, as well as the average value of this product. If one considers the input signals as a voltage and current into a load, then the average value of the multiplier output signal is proportional to the power, what justifies the use of the considered structure for implementing a single-phase wattmeter. Simulation and experimental results are shown, proving the validity of the approach for different input signals.

Keywords— Analog multiplication, switched capacitor circuits, pulse width modulation, PSoC microcontroller, wattmeter

Resumo— Este trabalho discute uma técnica de multiplicação analógica de sinais que se utiliza de um circuito a capacitor chaveado, associado a uma estratégia de modulação por largura de pulso. A topologia é descrita, seguida de uma análise matemática que demonstra ser possível, após filtragem adequada, obter um sinal proporcional ao produto de dois sinais de entrada, bem como o valor médio deste produto. Ao se interpretar os sinais de entrada como a tensão e corrente em uma carga, tem-se que o valor médio do sinal de saída do multiplicador será proporcional à potência, o que justifica o uso da estrutura para a implementação de um wattímetro monofásico. São mostrados resultados de simulação e experimentais, comprovando a validade da proposta para diferentes sinais de entrada.

Palavras-chave— Multiplicação analógica, circuitos a capacitor chaveado, modulação por largura de pulso, microcontrolador PSoC, wattímetro

1 Introdução

Multiplicadores analógicos encontram extenso número de aplicações nos campos de telecomunicações, controle, instrumentação, medidas e processamento de sinais (Pandey et al., 2012).

A topologia de multiplicação mais comumente encontrada na literatura consiste na utilização de células de Gilbert, que podem ser construídas com o emprego de poucos transistores. O conceito básico da multiplicação analógica utilizando células de Gilbert baseia-se na utilização da característica exponencial de transistores bipolares de junção, mas também é compatível com a tecnologia CMOS (Gray et al., 2009). Sua desvantagem é a necessidade de utilização de circuitos que realizem uma pré-distorção dos sinais de entrada para a multiplicação de sinais com ordem de grandeza maior que a da tensão térmica dos transistores, V_T (tipicamente 26 mV para uma temperatura de 25°C).

Outro método consiste na utilização de amplificadores logarítmicos e exponenciais, que também se utilizam da característica exponencial de transistores bipolares para a realização da multiplicação. A grande desvantagem deste método é que o circuito é capaz de realizar apenas a multiplicação no primeiro quadrante (Pertence Júnior, 1996).

Este trabalho tem como objetivo propor a implementação de um wattímetro monofásico experi-

mental, o qual utiliza um circuito a capacitor chaveado para realizar a multiplicação analógica dos sinais correspondentes à tensão e corrente em uma carga.

Topologias baseadas em capacitores chaveados são empregadas para realizar diversas funções analógicas. Além disso, estruturas baseadas em capacitores chaveados são adequadas para a integração em circuitos VLSI por diversas razões, dentre as quais se destacam: compatibilidade com tecnologias CMOS atuais; parâmetros de precisão dos valores de capacitância relacionados a frequência de clock estáveis; precisão relacionada à razão entre capacitâncias, e não baseadas em valores individuais dos capacitores (sujeitos a variações devido ao processo de fabricação); fácil migração para tecnologias CMOS recentes (Quinn & Roermund, 2007).

O artigo apresenta, na Seção 2, uma breve descrição da topologia, que inclui a análise matemática do sistema e resultados de simulação. A Seção 3 trata da implementação do sistema, sendo apresentados resultados experimentais. Na Seção 4, são apresentadas as conclusões e os itens a serem incluídos na versão final do trabalho.

2 Topologia proposta

A topologia proposta de multiplicação analógica de sinais se dá através da utilização de amplificadores a capacitor chaveado (SC – *switched capacitor*) para a realização de uma modulação analógica.

O amplificador SC não-inversor é apresentado na Figura 1. As chaves são comandadas por sinais lógicos com fases $\phi 1$ e $\phi 2$ complementares e não-sobrepostas. O ganho da topologia não-inversora será igual a C_A/C_F (Ess, 2012).

A configuração inversora é implementada simplesmente trocando as fases que comandam as chaves delimitadas pela linha tracejada. Neste caso, o ganho da topologia passa a ser $-C_A/C_F$, portanto, igual, em módulo, ao ganho da configuração não-inversora.

Para um circuito que tenha a capacidade de selecionar a configuração do amplificador, pode-se aplicar uma estratégia de modulação sobre um sinal de tensão de entrada. Esta topologia, denominada neste trabalho *modulador SC*, pode ser vista na Figura 2, onde o sinal lógico *Sign* comuta a posição das chaves entre as disposições de terminais 1-2/3-4 (*Sign* = 1) e 1-4/3-2 (*Sign* = 0). Se for admitido, por simplicidade, $C_A = C_F$, tem-se que o ganho do circuito é alternado entre +1 e -1, de acordo com *Sign*.

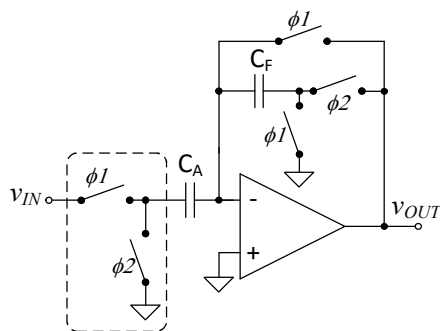


Figura 1. Amplificador SC não-inversor.

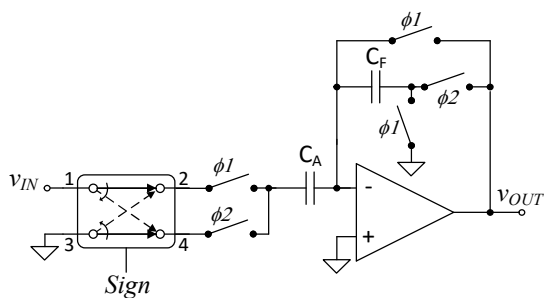


Figura 2. Modulador SC.

2.1 Descrição do sistema

Um diagrama de blocos que ilustra a aplicação do modulador SC a um sistema para multiplicação de sinais é mostrado na Figura 3. O sinal v_{IN1} é comparado a uma portadora triangular v_c , resultando em um sinal modulado por largura de pulso (PWM – *pulse-width modulation*) utilizado para selecionar a configuração do amplificador no modulador SC, que recebe em sua entrada o sinal v_{IN2} . O sinal resultante v_{MOD} irá conter uma componente proporcional ao produto de v_{IN1} e v_{IN2} , e componentes de alta frequência características da modulação PWM.

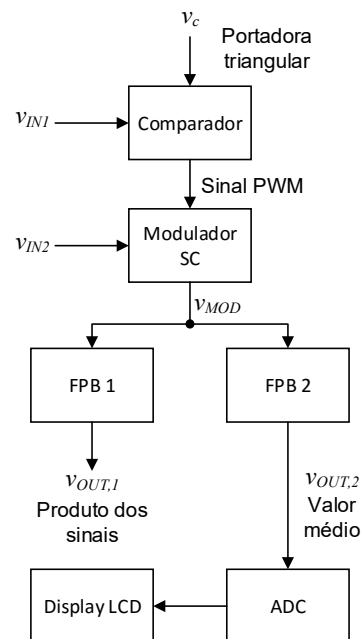


Figura 3. Diagrama de blocos do sistema para multiplicação de sinais analógicos utilizando o modulador SC.

O filtro passa-baixas FPB1 é usado para obter o *produto* dos sinais, enquanto o filtro FPB2 é usado para extrair o *valor médio* do produto dos sinais. Este, por sua vez, será digitalizado pelo conversor analógico-digital (ADC) e exibido em um display LCD.

Um circuito apresentado em Thoren (2013) efetua a multiplicação analógica de dois sinais através de um princípio semelhante, porém empregando dois diferentes amplificadores de tempo contínuo, cuja resposta é alternada sob o comando de chaves analógicas, comandadas por um sinal PWM. Já a estratégia apresentada em Kremin (2010) faz uso da topologia da Figura 2 para efetuar a multiplicação analógica dos sinais.

Caso v_{IN1} e v_{IN2} sejam interpretados, respectivamente, como sinais correspondentes à tensão v_L e corrente em uma carga i_L , a saída de FPB1 irá fornecer um sinal proporcional à potência instantânea entregue, $p(t)$, enquanto a saída de FPB2, digitalizada pelo ADC, fornecerá a indicação proporcional à potência ativa média consumida pela carga, P , dada pela definição

$$P = \frac{1}{T} \int_0^T p(t) dt = \frac{1}{T} \int_0^T v_L(t) \cdot i_L(t) dt. \quad (1)$$

2.2 Análise matemática

Uma solução analítica que identifica exatamente as componentes harmônicas de um sinal PWM permite fundamentar matematicamente o processo de filtragem para a obtenção dos sinais desejados.

Esta solução pode ser obtida através da série de Fourier dupla, definida por

$$f(x, y) = \frac{A_{00}}{2} + \sum_{n=1}^{\infty} [A_{0n} \cos(ny) + B_{0n} \sin(ny)] + \sum_{m=1}^{\infty} [A_{m0} \cos(mx) + B_{m0} \sin(mx)] + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} [A_{mn} \cos(mx + ny) + B_{mn} \sin(mx + ny)] \quad (2)$$

Onde

$$A_{mn} + jB_{mn} = \frac{1}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) e^{j(mx+ny)} dx dy \quad (3)$$

A região de integração para a modulação PWM com portadora triangular é ilustrada na Figura 4 (Holmes & Lipo, 2003), assumindo $x = \omega_c t$ e $y = \omega_0 t$, sendo ω_0 e ω_c as frequências angulares da referência e da portadora, respectivamente. Substituindo os limites de integração e as variáveis x e y na equação (3), a solução analítica de um sinal PWM será dada por

$$f_{PWM}(t) = \frac{M}{2} \cos(\omega_0 t) + \sum_{m=1}^{\infty} \left[\frac{2}{m\pi} J_0\left(m \frac{\pi}{2} M\right) \sin\left(\frac{m\pi}{2}\right) \cos(m\omega_c t) \right] + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \left[\frac{2}{m\pi} J_n\left(\frac{m\pi M}{2}\right) \sin\left(\frac{\pi}{2}(m+n)\right) \times \cos(m\omega_c t + n\omega_0 t) \right] \quad (4)$$

A forma de onda PWM descrita por (4) varia de $-1/2$ a $+1/2$, onde M é o fator de modulação, dado por

$$M = \frac{A_{0(1)}}{A_c} \quad (5)$$

Sendo $A_{0(1)}$ e A_c as amplitudes da referência (v_{IN1}) e portadora, respectivamente (Vasca & Iannelli, 2012). $J_n(\theta)$ é a função de Bessel de n -ésima ordem (Holmes & Lipo, 2003). Portanto, uma solução analítica para um sinal de PWM que varia entre -1 e $+1$ é obtida pela multiplicação de (4) por 2.

Nota-se que o primeiro termo possui a frequência do sinal de referência (v_{IN1}), cuja amplitude é implicitamente representada através do fator de modulação M . Os somatórios seguintes referem-se às componentes de alta frequência.

Admitindo $C_A = C_F$, a saída do modulador SC será definida, basicamente, pela multiplicação do sinal PWM por outro sinal, identificado como v_{IN2} .

$$v_{MOD}(t) = v_{IN2}(t) \times 2f_{PWM}(t) \quad (6)$$

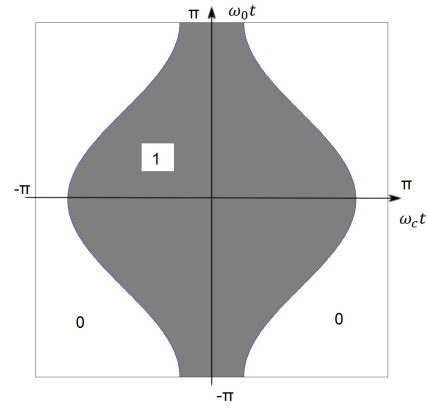


Figura 4. Célula unitária que define a região de integração na solução analítica do sinal PWM.

Considerando um sinal PWM que varia de -1 a 1 e aplicando o sinal modulado v_{MOD} no filtro FPB1, com o objetivo de atenuar a frequência da portadora, o sinal resultante será dado por

$$v_{OUT,1}(t) = v_{IN2}(t) \times M \cos(\omega_0 t) \quad (7)$$

Caso v_{IN2} seja também senoidal e de frequência ω_0 , com uma amplitude $A_{0(2)}$ e defasagem θ em relação a v_{IN1} , tem-se

$$v_{OUT,1}(t) = A_{0(2)} \cos(\omega_0 t - \theta) \times M \cos(\omega_0 t) = \frac{MA_{0(2)}}{2} (\cos(\theta) + \cos(2\omega_0 t - \theta)) \quad (8)$$

Na saída do filtro FPB2 é obtido o valor médio do sinal modulado. Para os sinais v_{IN1} e v_{IN2} considerados anteriormente, tem-se

$$v_{OUT,2}(t) = \frac{MA_{0(2)}}{2} \cos(\theta) \quad (9)$$

2.3 Projeto dos filtros

Os filtros passa-baixas foram projetados com auxílio do aplicativo *FilterPro*, da Texas Instruments. Os parâmetros referentes aos filtros FPB1 e FPB2 são mostrados na Tabela 1.

Tabela 1. Parâmetros dos filtros passa-baixas FPB1 e FPB2.

Parâmetro	FPB1	FPB2
Tipo de resposta	Butterworth	Bessel
Topologia	Multiple Feedback	Multiple Feedback
Ordem	4	5
Ganho	0 dB	0 dB
Frequência na banda de passagem	1 kHz	6 Hz
Atenuação na banda de passagem	-3 dB	-3 dB
Atenuação na banda de rejeição	-45 dB	-45 dB
Banda de rejeição	5 kHz	30 Hz

2.4 Resultados de simulações

A comprovação da proposta se deu primeiramente através de simulações, que foram realizadas no software *LTspiceIV*, utilizando elementos quase ideais.

O caso testado foi a multiplicação de duas ondas senoidais em fase, com amplitude 1 V e frequência 60 Hz. A modulação foi realizada a partir de um sinal PWM resultante entre a comparação entre um dos sinais de entrada e uma onda triangular de frequência 10 kHz e amplitude 2 V. O índice de modulação, portanto, é $M = 0,5$. Os capacitores C_A e C_F simulados foram de 10 pF e a frequência de chaveamento foi 500 kHz.

A saída do modulador SC é apresentada na Figura 5. O sinal resultante da saída de FPB1, correspondendo ao resultado da multiplicação, é mostrado na Figura 6. A amplitude do sinal é de 250 mV, e a frequência é de 120 Hz, de acordo, portanto, com (8).

A forma de onda na saída do filtro de valor médio FPB2 é mostrada na Figura 7. Como esperado de (9), o resultado obtido foi de 250 mV, após um período transitório de aproximadamente 180 ms.

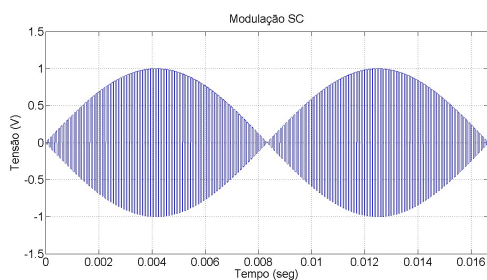


Figura 5. Saída do modulador para senoides em fase.

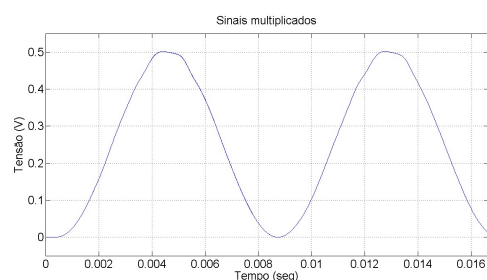


Figura 6. Saída do filtro FPB1 (resultado da multiplicação).

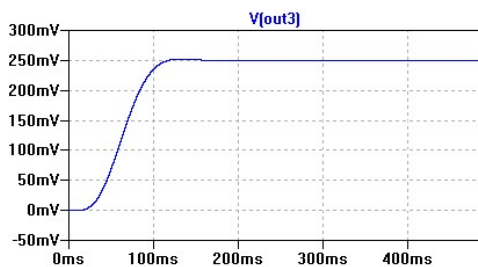


Figura 7. Resultado obtido para o filtro de valor médio (FPB2).

3 Implementação do protótipo e resultados experimentais

Para a construção do protótipo foi empregado o kit de desenvolvimento *CY8CKIT-001*, com um módulo PSoC (*Programmable System on Chip*) *CY8C28 Family Processor*, baseado na família de microcontroladores PSoC1 da Cypress. Esta tecnologia é baseada em um microprocessador de 8 bits, contendo blocos digitais e analógicos programáveis através da sua interface IDE (*Integrated Development Environment*), o *PSoC Designer*.

O chip utilizado apresenta seis blocos analógicos de tempo contínuo, que podem ser usados para a implementação de diferentes tipos de amplificadores e comparadores. Além dos blocos de tempo contínuo, ele apresenta dez blocos a capacitor chaveado (Cypress, 2013), dos quais apenas um deles foi utilizado para a realização do modulador SC. Na Figura 8 é mostrado o esquemático do bloco a capacitor chaveado empregado, o qual pode ser totalmente configurado via software.

O filtro FPB1 poderia ser implementado no PSoC também empregando blocos SC. No entanto, a realização do filtro FPB2 em blocos SC não seria satisfatória devido à baixa sua baixa frequência de corte. Desse modo, optou-se por montar os filtros externamente ao PSoC, utilizando amplificadores operacionais apropriados para alimentação com fonte simples de 5 V. A tensão de modo comum, admitida como terra analógico para o circuito e igual a 2,5 V, foi obtida a partir do PSoC e disponibilizada aos componentes periféricos, incluindo os dos filtros.

Os resultados experimentais obtidos empregando-se sinais provenientes de geradores de funções são apresentados a seguir para três casos distintos. Em todos eles, a portadora triangular usada possui amplitude igual a 2 V e frequência de aproximadamente 10 kHz.

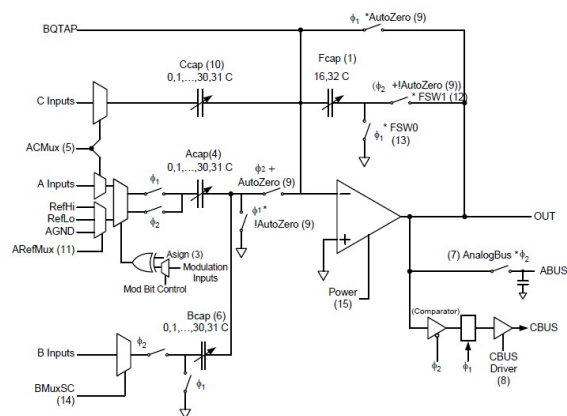


Figura 8. Bloco a capacitor chaveado do microcontrolador PSoC (Ess, 2012).

© Cypress Semiconductor Corporation. All rights reserved.

3.1 Multiplicação entre sinais senoidais em fase

Assim como na simulação, os sinais multiplicados neste primeiro caso estão em fase, apresentam amplitude igual a 1 V e frequência de 60 Hz. O fator de modulação é $M = 0,5$.

A saída do modulador é mostrada na Figura 9, enquanto as saídas dos filtros são mostradas na Figura 10. Em ambos os casos, deve-se ter em mente que o terra analógico é igual a 2,5 V.

Das medidas efetuadas com o osciloscópio digital, obteve-se, para a saída de FPB2, uma tensão próxima de 2,75 V, correspondendo a uma tensão média de 250 mV, de acordo, portanto, com a previsão teórica e os resultados de simulação.

3.2 Multiplicação entre sinais senoidais defasados

Para dois sinais senoidais com amplitude de 1 V, 60 Hz e defasagem próxima de 80° , as saídas dos filtros são mostradas na Figura 11. O valor médio obtido foi de aproximadamente 2,54 V, correspondendo a uma média efetiva de aproximadamente 40 mV para o sinal na saída do modulador. O resultado é previsível, visto que tais sinais representariam a situação de uma carga com baixo fator de potência.

3.3 Multiplicação entre sinal senoidal e onda quadrada, em fase

Em um exemplo envolvendo um sinal contendo harmônicos, foi usada uma onda senoidal e uma onda quadrada de 60 Hz, em fase, ambas com amplitudes de 1 V. A amplitude da componente fundamental da onda quadrada é estimada em aproximadamente 1,27 V. As saídas dos filtros podem ser vistas na Figura 12, tendo sido encontrado o valor médio efetivo do sinal igual a aproximadamente 320 mV.

O resultado é condizente com (9), uma vez que os produtos entre as componentes da onda quadrada diferentes da fundamental e o sinal puramente senoidal de 60 Hz terão valor médio igual a zero. Da figura, verifica-se que o valor encontrado também corresponde ao valor médio de um sinal senoidal com amplitude 500 mV retificado em onda completa.

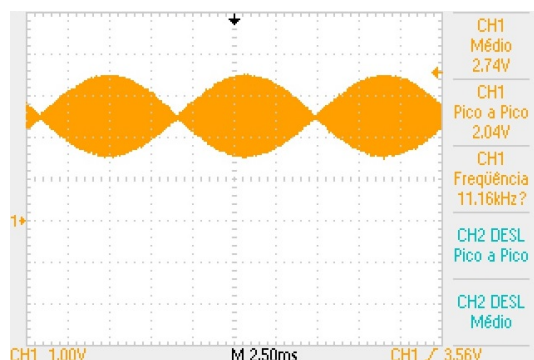


Figura 9. Saída do modulador para sinais senoidais em fase. Vertical: 1 V/div; horizontal: 2,5 ms/div.

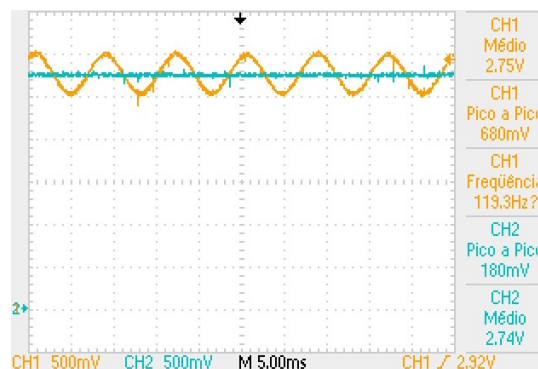


Figura 10. Saídas dos filtros (sinais em fase). Canal 1: sinal multiplicado. Canal 2: valor médio. Vertical: 500 mV/div; horizontal: 5 ms/div.

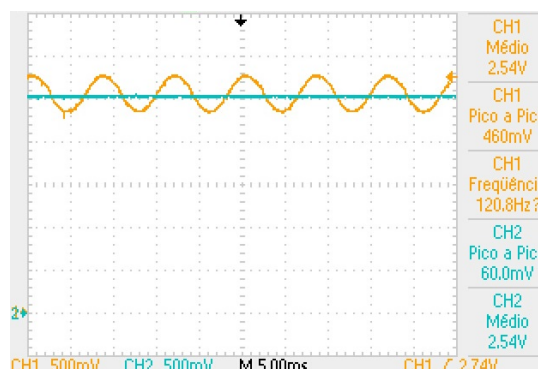


Figura 11. Saídas dos filtros (sinais defasados). Canal 1: sinal multiplicado. Canal 2: valor médio. Vertical: 500 mV/div; horizontal: 5 ms/div.

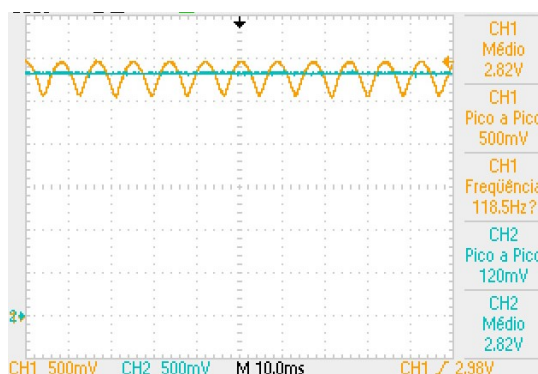


Figura 12. Saídas dos filtros (produto entre senóide e onda quadrada, em fase). Canal 1: sinal multiplicado. Canal 2: valor médio. Vertical: 500 mV/div; horizontal: 10 ms/div.

4 Conclusões

Este trabalho descreveu uma topologia capaz de efetuar a multiplicação analógica de sinais através de um bloco a capacitor chaveado, denominado neste trabalho modulador SC. Se a saída do modulador for devidamente filtrada, é possível obter tanto o produto dos sinais como seu valor médio.

O sistema pode ser usado, portanto, para o desenvolvimento de um wattímetro monofásico experimental, sendo que a etapa de processamento digital

se limita a converter o valor presente na saída do filtro de valor médio.

Tem-se, portanto, um sistema com baixo custo computacional, cujos resultados experimentais comprovam a validade e viabilidade da proposta. A plataforma adotada para implementar o modulador se baseia nos microcontroladores PSoC1, que contêm diversos módulos digitais e analógicos programáveis, dentre os quais se encontram os blocos a capacitor chaveado.

Como trabalho futuro está a implementação final do instrumento, onde deverão ser usados circuitos de interface para isolar e adequar os níveis de tensão da rede elétrica aos níveis exigidos pelo sistema, além de promover a adequada transdução do sinal de corrente em um sinal de tensão, para que este seja aplicado na entrada do circuito. Para a etapa de conversão A/D, serão usados blocos analógicos e digitais do PSoC. O resultado será exibido em um display LCD, também incluso no kit de desenvolvimento usado.

Agradecimentos

Os autores agradecem à Cypress Semiconductor Corporation pela doação dos kits de desenvolvimento *CY8CKIT-001*, adquiridos através do *Cypress University Alliance Program (CUAP)*.

Referências Bibliográficas

- Cypress Semiconductor Corporation (2013). PSoC Programmable System-on-Chip TRM (Technical Reference Manual). Disponível em <<http://www.cypress.com/documentation/technical-reference-manuals/cy8c28xxx-psoc-programmable-system-chip-technical>>. Acessado em 23/03/16.
- Ess, D.V. (2012). Understanding PSoC1 Switched Capacitor Analog Blocks. Application note AN2041, Cypress Semiconductor Corporation. Disponível em <<http://www.cypress.com/documentation/application-notes/an2041-understanding-psoc-1-switched-capacitor-analog-blocks>>. Acessado em 23/03/16.
- Gray, P.R.; Hurst, P.J.; Lewis, S.H.; Meyer, R.G. (2009). Analysis and Design of Analog Integrated Circuits. Wiley, New Jersey.
- Holmes, D.G., Lipo, T.A. (2003), Pulse Width Modulation for Power Converters – Principles and Practice. Wiley-Interscience, New Jersey.
- Kremin, V. (2010). Analog – Analog Multiplication with PSoC. Application Note AN2159, Cypress Semiconductor Corporation. Disponível em <<https://www.element14.com/community/docs/DOC-47819/1/cypress-an2159-application-note-for-analog-analog-multiplication-with-psoc>>. Acessado em 30/03/16.
- Pandey, R.; Pandey, N.; Sriram, B.; Paul, S.K. (2012). Single OTRA Based Analog Multiplier and its Applications. ISRN Electronics, Vol. 2012, pp. 1-7.
- Pertence Júnior, A. (1996). Amplificadores Operacionais e Filtros Ativos. Makron Books, São Paulo.
- Quinn, P.J., Roermund, A. (2007). Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design. Springer, London.
- Thoren, M. (2013). PWM-Based Analog Calculator Provides Four-Quadrant Multiplication, Division. Electronic Design,, pp. 53-54. Disponível em <<http://electronicdesign.com/analog/pwm-based-analog-calculator-provides-four-quadrant-multiplication-division>>. Acessado em 30/03/16.
- Vasca, F., Iannelli, L. (2012). Dynamics and Control of Switched Electronic Systems. Springer, London.