

CONVERTIDOR ELECTRÓNICO DE ALTA FRECUENCIA PARA INTERCONEXION ENTRE UNA FUENTE DE 12Vdc/250W Y LA RED PUBLICA DE 127VAC / 60Hz.

Luis Carlos Bravo Gomez

Laboratorio de Electrónica de Potencia, Escuela de Ingeniería Eléctrica y Electrónica, Facultad de Ingeniería,
Universidad del Valle – Cali - Colombia

E-mails: luis.bravo.gomez@correounivalle.edu.co

Jorge E. Quintero Calvache

Laboratorio de Electrónica de Potencia, Escuela de Ingeniería Eléctrica y Electrónica, Facultad de Ingeniería,
Universidad del Valle – Cali – Colombia

jorge.quintero@correounivalle.edu.co

Abstract— This article describes the process of design and construction of an interconnection system between 12 Vdc source and 127 Vac / 60Hz public grid, with a maximum capacity of 250W. All the control and part of the system plant are embedded in a FPGA programmed in VHDL. The topology for power handling is selected, the analogous circuits for the measurement of signals involved in the system, the type and control strategy, the synchronization mechanism and the hardware required to manage the power circuits, are designed and tested. Finally a stage of tests that ensures correct operation of the prototype is presented.

Keywords— Interconnection , design, Embedded , FPGA , Control.

Resumen— En este artículo se exponen los procesos de diseño y construcción de un sistema de interconexión entre una fuente de 12 Vdc y la red pública de 127 Vac / 60Hz, con una capacidad máxima de 250W. Todo el control y parte de la planta del sistema están embebidos en una FPGA programada en VHDL. Se selecciona la topología para el manejo de potencia, se diseñan los circuitos análogos para la medida de las señales que intervienen en el sistema, el tipo y estrategia de control, el mecanismo de sincronización con la red eléctrica y el hardware necesario para el manejo de los circuitos de potencia. Finalmente se presenta una etapa de pruebas que asegura el correcto funcionamiento del prototipo.

Palabras claves— Interconexión, diseño, Embebido, FPGA, Control.

1. Introducción

En general, la función que realiza un sistema de interconexión monofásico de corriente alterna (SIM), es brindar la capacidad de transmitir energía desde fuentes de dc hacia las cargas que están puestas en el sistema eléctrico. En la figura 1 se observa una diagrama con la entrada y la salida del SIM. En la entrada se tiene la fuente de dc y en su salida la energía en forma de voltaje alterno; en estos sistemas se combinan la electrónica, la potencia y el control análogo y/o digital.



Figura 1. Entradas y salidas de un SIM.

En este caso la carga es la red eléctrica de 127Vac / 60Hz, el sistema realiza una conversión de energía directa a alterna de manera sincronizada con la red, aislando galvánicamente la fuente primaria de dc de la carga o del sistema interconectado.

2. Metodología

Entre varios de los objetivos logrados en este proyecto el más relevante corresponde al control del sistema de interconexión, el cual debe poseer la flexibilidad suficiente para modificar los parámetros de las funciones de control con operación en línea, dando lugar a un amplio abanico de pruebas experimentales, además de facilitar la interacción entre el equipo y el usuario en tiempo de operación.

Para el análisis y funcionamiento del sistema implementado, se ha dividido este en dos partes: la plataforma hardware y la plataforma software.

2.1 Plataforma Hardware

En la figura 2 se muestra la topología del sistema de interconexión desarrollado, la entrada de tensión de dc se convierte en ac de elevada frecuencia por medio de un puente inversor formado por transistores Mosfet, un transformador eleva el voltaje para adecuar los niveles y aislar la fuente primaria de la red; la tensión en el secundario es rectificada y se conecta a la red eléctrica por medio de una inductancia de alisamiento y un puente de tiristores en modo inversor; para controlar la potencia entregada se mide y se regula la corriente en la inductancia de alisamiento L, la señal referencia del sistema de control es tomada de la red por medio de un transformador de medida; con esto se garantiza una reducción ostensible de los armónicos de corriente, considerando que no existe distorsión en el voltaje de la red (Mohan,2009).

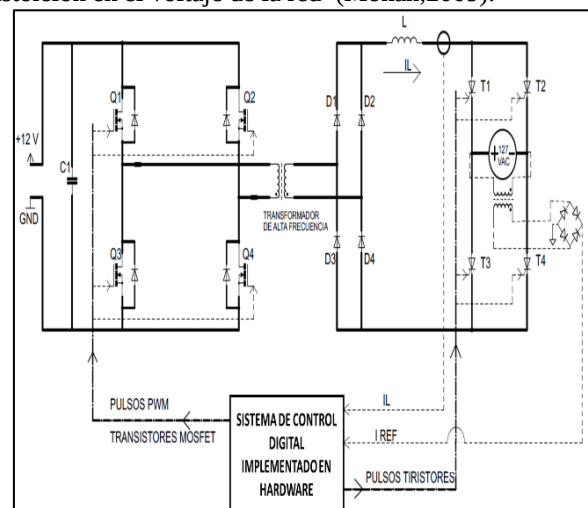


Figura 2. Esquema del sistema de interconexión monofásico de alta frecuencia.

Inversor de Alta Frecuencia.

La frecuencia de salida para el puente inversor es 25Khz. Este valor fue seleccionado tomando en cuenta el n cleo de ferrita del **transformador de alta frecuencia cuyas especificaciones fueron de 250VA y de relaci n de transformaci n 12/270Vac**. Para evitar que el n cleo se sature, la pareja de transistores Q1 y Q4 debe estar encendida la misma cantidad de tiempo que los transistores Q2 y Q3.

La figura 3 muestra el m todo de conmutaci n definido por el sistema de control, una onda triangular determina la frecuencia de salida del inversor, en tanto su amplitud m xima V_{tm} define el m ximo valor que puede tomar la se al de control V_c para evitar una sobre modulaci n. Las se ales de conmutaci n que se generan, est n dadas por los siguientes criterios:

- Si la se al triangular es mayor a cero y menor que la mitad de su valor pico $\frac{V_{tm}}{2}$ y se encuentra entre $\frac{V_{tm}}{4} - \frac{V_c}{2}$ y $\frac{V_{tm}}{4} + \frac{V_c}{2}$, se encienden los transistores Q1 y Q4, estableciendo un voltaje positivo en la carga, cuyo ancho de pulso est  dado por la se al de control V_c .
- Si la se al triangular es mayor a cero y menor que la mitad de su valor pico $\frac{V_{tm}}{2}$, pero no se encuentra en el rango establecido en el anterior  tem, se mantiene encendido Q4 y se apaga Q1, entonces el diodo de Q3 entra en conducci n y se producen 0V en la salida del inversor.
- Si la se al triangular es mayor que $\frac{V_{tm}}{2}$ y se encuentra entre $\frac{3V_{tm}}{4} - \frac{V_c}{2}$ y $\frac{3V_{tm}}{4} + \frac{V_c}{2}$, entonces se encienden los transistores Q2 y Q3, estableciendo un voltaje negativo en la salida del inversor.
- Si el valor de la se al triangular es mayor que $\frac{V_{tm}}{2}$ pero no se encuentra en el rango establecido en el anterior  tem, se apaga Q2 y se mantiene encendido Q3.

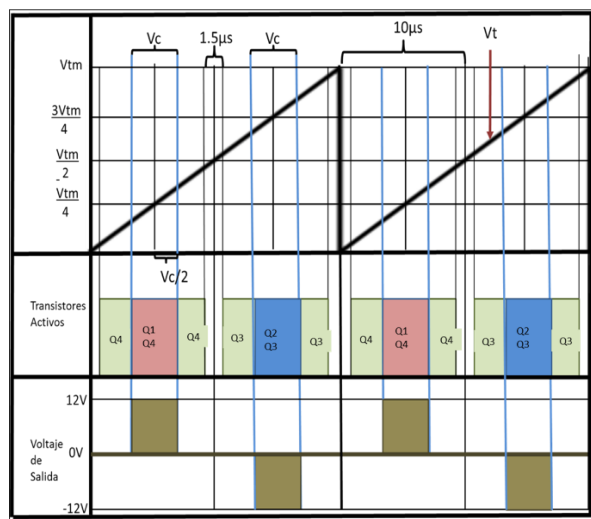


Figura 3. M todo de conmutaci n de los transistores

Inductancia de alisamiento.

El valor de la inductancia L se ajusta para reducir el rizado en la corriente de salida, la cual tiene la forma de onda mostrada en la figura 4, donde α_1 indica el  ngulo en el que se apagan todas las se ales de disparo del sistema para permitir un apagado seguro de los tiristores y evitar un cortocircuito.

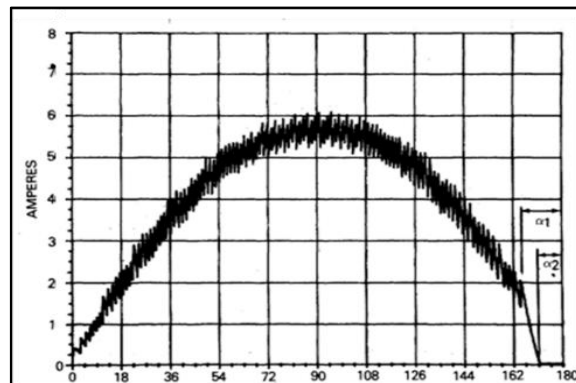


Figura 4. Forma de onda ideal de la corriente en la inductancia L (Steigerwald, 1983).

Puente Inversor de tiristores.

En la figura 5 se presenta un diagrama del inversor, con las formas de onda ideales de corriente en la inductancia, corriente de salida, voltaje de red y los intervalos de tiempo en que cada pareja de tiristores est  encendida.

En el semiciclo positivo de la red, cerca del cruce por cero se activan los tiristores T1 y T4, permitiendo que la corriente I_L fluya hacia la red el ctrica. Para garantizar un apagado seguro de los tiristores, a los 160  todas las se ales de disparo del sistema se llevan a cero, haciendo que la corriente por los tiristores llegue a cero antes de los 180 . De igual manera ocurre con los tiristores T2 y T3 del semiciclo negativo del voltaje de la red el ctrica.

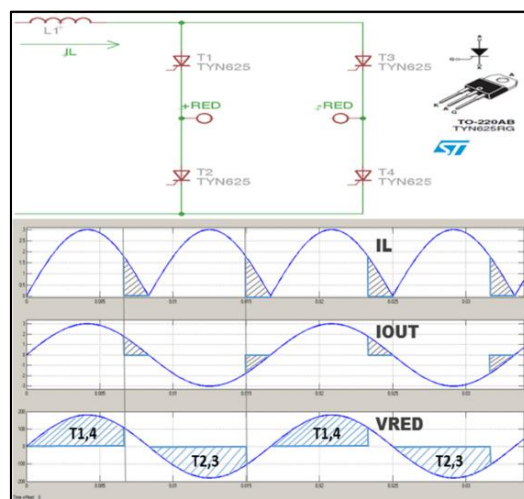


Figura 5. Esquem tico del inversor de tiristores operado a 60Hz y formas de onda ideales.   = se ales de control apagadas.   = pareja de scr encendida.

Toda la operaci n del sistema es controlada por una FPGA Cyclone IV de Altera, que ejecuta procesos o funciones hardware de manera paralela y secuencial.

Circuitos de sensado y adecuación de señales

Las señales de realimentación del sistema se adecuan mediante los circuitos que se muestran en la figura 6.

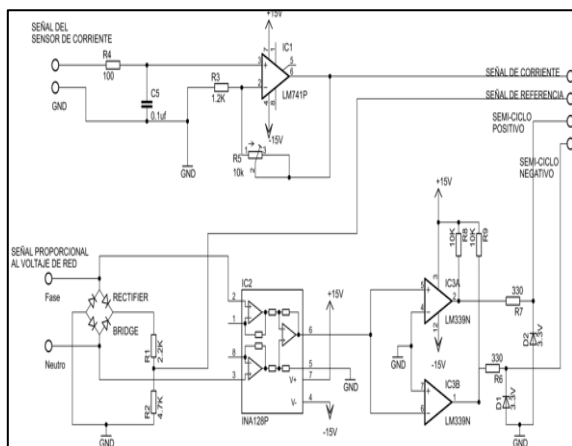


Figura 6. Diagrama esquemático de los circuitos de adecuación de señales y detección de semiciclo activo.

Sistema de adquisición de datos.

Se conecta la FPGA a un ADC de 12 bits para realimentar las señales que necesita el control del sistema, de manera continua el ADC recibe las instrucciones de configuración desde la FPGA por medio de la comunicación SPI. En la Figura 7 se observa una imagen de la FPGA seleccionada y su conexión con el ADC Max1270.

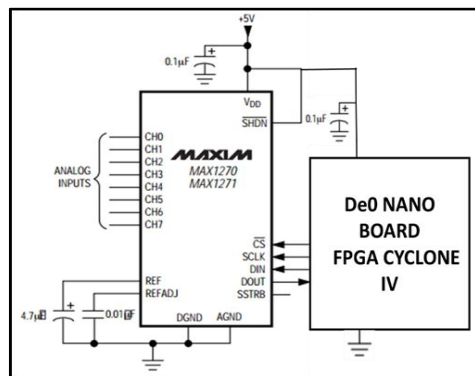


Figura 7. Conexión para comunicación entre el ADC y la FPGA.

Entidad generadora de señales PWM para el inversor de alta frecuencia.

Esta entidad implementada en VHDL, genera las señales de encendido y apagado de los transistores Mosfet con variación del ciclo de trabajo y una frecuencia de salida de 25Khz, introduciendo un tiempo muerto al inicio y al final de cada periodo de conmutación para evitar un cortocircuito.

Un contador incremental representa la señal triangular tomando valores de 0 a 8000, la señal de reloj de entrada debe ser lo suficientemente rápida para que al dividir su frecuencia por 8000 se obtengan los 25Khz de la frecuencia del inversor, la señal de reloj es obtenida por un PLL embebido en la FPGA; a continuación se muestra un diagrama de bloques que representa las funciones que ejecuta esta entidad, la cual genera los pulsos de disparo para los cuatro transistores.

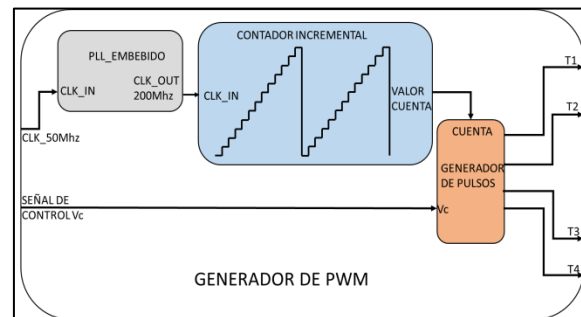


Figura 8. Diagrama de bloques de la entidad que genera los pulsos de PWM.

2.2 Plataforma Software

En el siguiente diagrama de flujo se presenta el proceso que ejecuta la FPGA para controlar los transistores del inversor de alta frecuencia.

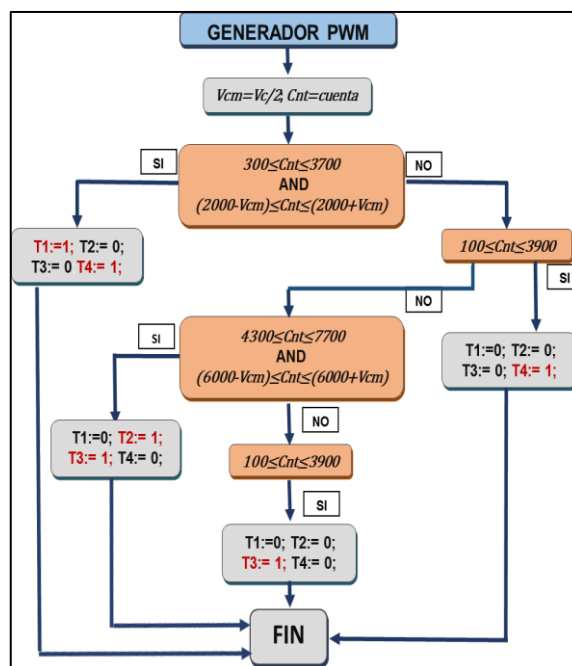


Figura 9. Diagrama de flujo de generación de pulsos para el puente inversor de alta frecuencia.

Entidad generadora de pulsos de disparo para el puente de tiristores.

La entidad implementada en VHDL, genera un tren de pulsos con frecuencia de 1Khz que hace conmutar las parejas de tiristores de manera síncrona con la red eléctrica. Las señales de disparo se mantienen hasta 160° de los 180° que dura cada semiciclo para asegurar su apagado.

Modelado del sistema y estrategia de control

El objetivo es controlar la corriente en la inductancia L de modo que siga a una señal de referencia. El voltaje en la inductancia V_L viene dado por:

$$V_L = V_A - V_{GR} \quad (1)$$

Donde:

V_A = voltaje a la salida del puente rectificador de diodos.

V_{GR} = voltaje de la red rectificado (voltaje en los extremos del puente de SCRs).

La tensión de salida del inversor de alta frecuencia V_{oinv} en condiciones de máxima carga y considerando pérdidas en los semiconductores puede ser vista como:

$$V_{OINV} = \frac{V_c}{4000} * 9.6 \quad (2)$$

V_c = señal de control que toma valores entre 0 y 4000.
Entonces se tiene que V_A es igual a:

$$V_A = \frac{N2}{N1} * V_{OINV} = \frac{N2}{N1} * \frac{V_c}{4000} * 9.6 \quad (3)$$

$$K = \frac{N2}{N1 * 4000} * 9.6 \quad (4)$$

$$K = \frac{N2}{N1 * 4000} * 9.6 \quad (4)$$

$$V_A = K * V_C \quad (5)$$

$$V_A = K * V_C \quad (5)$$

V_{GR} es el voltaje de la red eléctrica que es rectificado por el puente de tiristores mientras se está inyectando energía a la red; considerando V_{GR} como el disturbio del sistema $\mathbf{d}(t)$, igual al valor absoluto de la señal sinusoidal de la red.

$$V_{GR} = |127 * \sqrt{2} * \text{Sen}(60 * 2\pi * t)| \quad (6)$$

También se conoce que el voltaje en una inductancia L es igual al valor de L multiplicado por la derivada de la corriente con respecto al tiempo.

$$V_L = L^* \frac{di_L}{dt} \quad (7)$$

Remplazando las últimas tres ecuaciones en la ecuación (1), se tiene que:

$$L * \frac{di_L}{dt} = K * V_c - |127 * \sqrt{2} * \text{Sen}(60 * 2\pi * t)| \quad (8)$$

Aplicando la transformada de Laplace en ambos lados de la ecuación (8) se obtiene:

$$L * S * I(S) = K * V_C(S) - D(S)$$

$$I(S) = \frac{K * V_C(S) - D(S)}{L * S} \quad (9)$$

$$I(S) = \frac{K * V_C(S) - D(S)}{L * S} \quad (9)$$

A continuación se presenta un diagrama de bloques del sistema en lazo abierto, construido usando una herramienta de simulación.

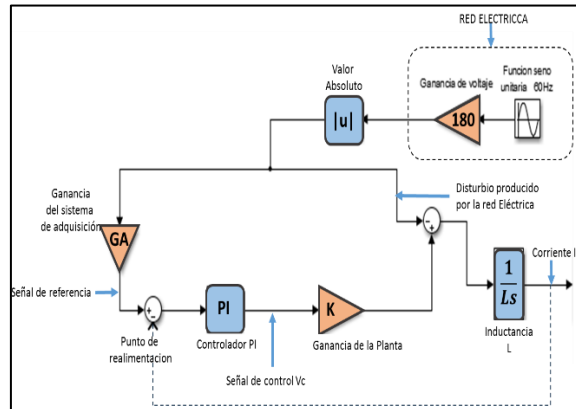


Figura 10. Diagrama de bloques del modelo del sistema en lazo abierto.

Para anular el efecto del disturbio y reducir el problema, se toma ventaja de que la señal de referencia que entra al sistema es una señal proporcional al voltaje de disturbio V_{GR} , este se multiplica por una constante K_2 y el resultado se suma a la señal de control V_c , produciendo la señal V_c' que entra al bloque generador de PWM, la constante K_2 es el inverso de la multiplicación entre K y la ganancia del sistema de adquisición; la Figura 11 muestra el diagrama de bloques del sistema con la estrategia de control que busca anular el efecto del disturbio seguido de la demostración matemática.

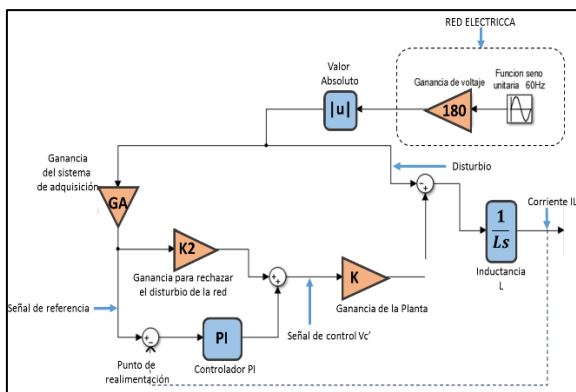


Figura 11. Diagrama de bloques mostrando la estrategia de control aplicada (lazo abierto).

La ganancia K_2 es:

$$K_2 = \frac{1}{K^*GA} \quad (10)$$

K = constante definida en el modelo.

GA es la ganancia del sistema de adquisición de datos. Basándose en la anterior figura, el nuevo modelo del sistema es expresado como:

$$I(S) = \frac{K * V_C'(S) - D(S)}{L * S} \quad (11)$$

Donde,

$$V_C'(S) = V_C(S) + K_2 * GA * D(S) \quad (12)$$

Remplazando el valor de Vc' y K_2 en (11), se reduce el número de términos a:

$$I(S) = \frac{K * V_C(S)}{L * S} \quad (13)$$

Finalmente y gracias a esta estrategia de control la función de transferencia del sistema es:

$$H(S) = \frac{I(S)}{V_C(S)} = \frac{K}{L * S} \quad (14)$$

El Controlador digital PI

Este tipo de controlador es seleccionado porque la función de transferencia del sistema es un integrador de primer orden multiplicado por una constante. Para la discretización se hace uso de la IEEE “Digital PI Current Control for Grid Connected PV Inverter” (Selvaraj J., 2008).

En el siguiente diagrama de flujo se presenta la ejecución de la acción de control que ejecuta la entidad diseñada.

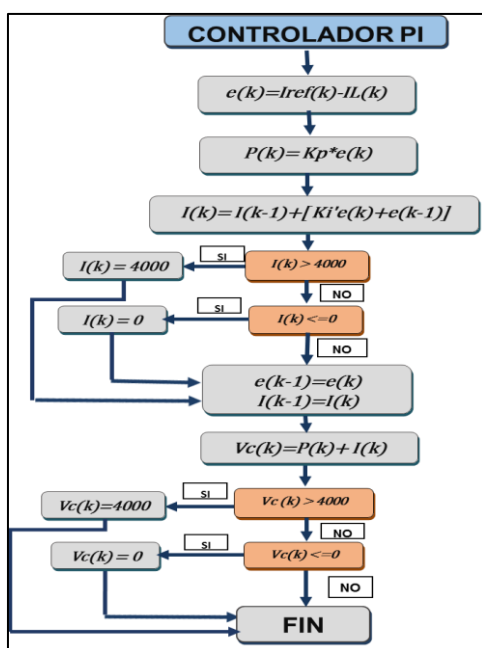


Figura 12. Diagrama de flujo del controlador PI implementado en la FPGA.

3. Resultados y discusión.

Finalmente el sistema es conectado a la red eléctrica, En condiciones nominales el sistema entrega una potencia pico de 250W para una inductancia L1 de 139mH; en la Figura 13 se muestra la tensión de línea y el voltaje de alimentación a la entrada al sistema V_{IN} . Los voltajes en el primario (canal B) y en el secundario (canal A) del transformador de alta frecuencia se muestran en la Figura 14; la Figura 15 muestra el voltaje en la salida del puente rectificador (V_A) y el voltaje en la entrada del puente inversor de tiristores (V_{GR}).

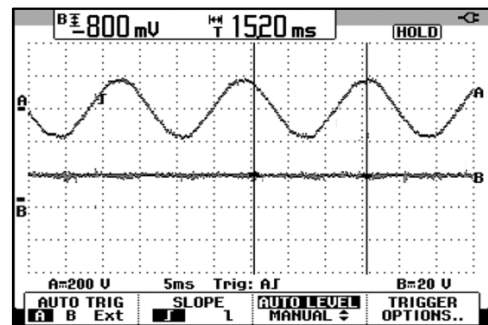


Figura 13. Tensión de la red (Fase-Neutro) y de alimentación 12Vdc

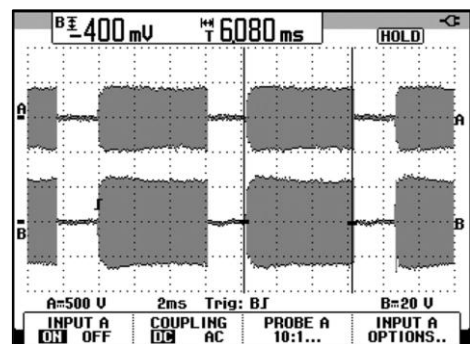


Figura 14. Tensión en el secundario del transformador (canal A) y en el primario del transformador en condiciones nominales (canal B).

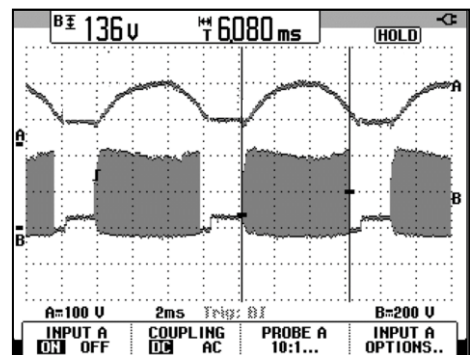


Figura 15. Tensión en la entrada del puente de tiristores V_{GR} (canal A) y tensión en la salida del puente rectificador V_A (canal B) en condiciones nominales.

La figura 16 muestra la corriente de referencia para el sistema de adquisición (canal A) y la corriente en la inductancia L (canal B) que es invertida por el puente de tiristores para ser inyectada a la red eléctrica.

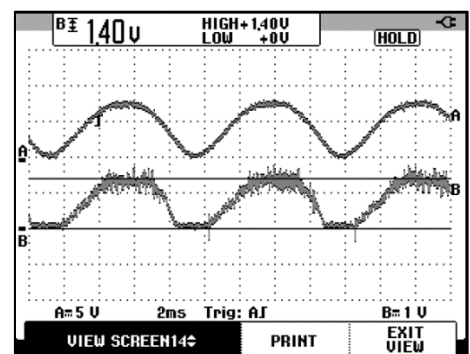


Figura16. Corriente de referencia y corriente en la inductancia, para una salida a condiciones nominales de 1.4 A pico.

En las siguientes figuras muestran el prototipo real, desarrollado para ejecutar la interconexión monofásica.



Figura 17. Bloque de pruebas implementado para la interconexión a la red eléctrica.

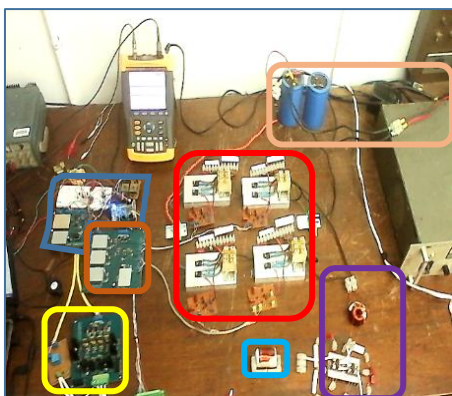


Figura 18. Alimentación dc del sistema. Inversor de alta frecuencia. Aislamiento y convertidores DC-DC para el inversor de alta frecuencia. . FPGA, sistema digital y de adquisición de datos. Transformador elevador y puente rectificador. Inductancia de aislamiento. Puente inversor de tiristores, sensor de corriente y punto de interconexión a la red.

4. Conclusiones.

Este trabajo construye las bases para futuros desarrollos en temas relacionados.

Utilizar un controlador digital basado en hardware reprogramable y reconfigurable como la FPGA Cyclone IV de Altera permite integrar para el sistema de regulación funciones de mando, protección, señalización y alarma.

El sistema permite entregar a la red eléctrica una potencia pico de 250W (1,4 A pico) de manera controlada.

En el sistema desarrollado trabajan varias ramas de la Ingeniería electrónica, entre las que se encuentran los sistemas de potencia, las etapas de medida y adecuación de señales, implementación de protocolos de comunicación digital, procesamiento digital de señales, control digital y modelamiento, construidas por varias etapas o estamentos en el hardware reprogramable de la FPGA.

La sincronización del sistema con la red eléctrica se realiza de manera automática, gracias a un sistema de detección

de cambio en la polaridad de la red eléctrica que trabaja en conjunto con el hardware embebido en la FPGA.

La corriente de salida del sistema sigue la tensión de la red eléctrica acercando factor de potencia a la unidad.

Todo el control del sistema se realiza desde la FPGA; el usuario final tiene acceso a cuatro pulsadores que desempeñan las funciones de Start, Stop, incremento y reducción de la potencia entregada desde un mínimo ajustable hasta el 100%.

La implementación en la FPGA por parte del hardware que conforma la planta del sistema, incrementan enormemente la flexibilidad de los diseños, pues se pueden realizar cambios de manera muy rápida vía software que finalmente modifican el hardware reprogramable, reduciendo el espacio utilizado por los sistemas analógicos.

La construcción de este prototipo basado en la FPGA es un ejemplo de las múltiples aplicaciones que tienen los dispositivos de hardware reprogramable en el área de electrónica de potencia.

5. Referencias bibliográficas

Mohan, Ned, 2009, L., Electrónica de potencia, convertidores, aplicaciones y diseño. 3ra edición. Mc Graw Hill. 2009. 419 pp.

Selvaraj J. (2008). Digital PI Current Control for Grid Connected PV Inverter, Published in Industrial Electronics and Applications, 2008. ICIEA 2008. 3rd IEEE Conference No 2, pp. 742 – 746.

Steigerwald, Robert L, Ferraro, Angelo 1983, "Applications of power transistor to residential and intermediate rating photovoltaic array power conditioners " – EIEE Transactions in industry applications- vol. 1A 19 No 2, pp.254-258.